

设计指南

Apollo Bluetooth Low Energy SoC 射频硬件设计指南

超低功耗 Apollo SoC 系列
A-SOCAPG-DGGA01CN A4 v1.0



Legal Information and Disclaimers

AMBIQ MICRO INTENDS FOR THE CONTENT CONTAINED IN THE DOCUMENT TO BE ACCURATE AND RELIABLE. THIS CONTENT MAY, HOWEVER, CONTAIN TECHNICAL INACCURACIES, TYPOGRAPHICAL ERRORS OR OTHER MISTAKES. AMBIQ MICRO MAY MAKE CORRECTIONS OR OTHER CHANGES TO THIS CONTENT AT ANY TIME. AMBIQ MICRO AND ITS SUPPLIERS RESERVE THE RIGHT TO MAKE CORRECTIONS, MODIFICATIONS, ENHANCEMENTS, IMPROVEMENTS AND OTHER CHANGES TO ITS PRODUCTS, PROGRAMS AND SERVICES AT ANY TIME OR TO DISCONTINUE ANY PRODUCTS, PROGRAMS, OR SERVICES WITHOUT NOTICE.

THE CONTENT IN THIS DOCUMENT IS PROVIDED "AS IS". AMBIQ MICRO AND ITS RESPECTIVE SUPPLIERS MAKE NO REPRESENTATIONS ABOUT THE SUITABILITY OF THIS CONTENT FOR ANY PURPOSE AND DISCLAIM ALL WARRANTIES AND CONDITIONS WITH REGARD TO THIS CONTENT, INCLUDING BUT NOT LIMITED TO, ALL IMPLIED WARRANTIES AND CONDITIONS OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, TITLE AND NON-INFRINGEMENT OF ANY THIRD PARTY INTELLECTUAL PROPERTY RIGHT.

AMBIQ MICRO DOES NOT WARRANT OR REPRESENT THAT ANY LICENSE, EITHER EXPRESS OR IMPLIED, IS GRANTED UNDER ANY PATENT RIGHT, COPYRIGHT, MASK WORK RIGHT, OR OTHER INTELLECTUAL PROPERTY RIGHT OF AMBIQ MICRO COVERING OR RELATING TO THIS CONTENT OR ANY COMBINATION, MACHINE, OR PROCESS TO WHICH THIS CONTENT RELATE OR WITH WHICH THIS CONTENT MAY BE USED.

USE OF THE INFORMATION IN THIS DOCUMENT MAY REQUIRE A LICENSE FROM A THIRD PARTY UNDER THE PATENTS OR OTHER INTELLECTUAL PROPERTY OF THAT THIRD PARTY, OR A LICENSE FROM AMBIQ MICRO UNDER THE PATENTS OR OTHER INTELLECTUAL PROPERTY OF AMBIQ MICRO.

INFORMATION IN THIS DOCUMENT IS PROVIDED SOLELY TO ENABLE SYSTEM AND SOFTWARE IMPLEMENTERS TO USE AMBIQ MICRO PRODUCTS. THERE ARE NO EXPRESS OR IMPLIED COPYRIGHT LICENSES GRANTED HEREUNDER TO DESIGN OR FABRICATE ANY INTEGRATED CIRCUITS OR INTEGRATED CIRCUITS BASED ON THE INFORMATION IN THIS DOCUMENT. AMBIQ MICRO RESERVES THE RIGHT TO MAKE CHANGES WITHOUT FURTHER NOTICE TO ANY PRODUCTS HEREIN. AMBIQ MICRO MAKES NO WARRANTY, REPRESENTATION OR GUARANTEE REGARDING THE SUITABILITY OF ITS PRODUCTS FOR ANY PARTICULAR PURPOSE, NOR DOES AMBIQ MICRO ASSUME ANY LIABILITY ARISING OUT OF THE APPLICATION OR USE OF ANY PRODUCT OR CIRCUIT, AND SPECIFICALLY DISCLAIMS ANY AND ALL LIABILITY, INCLUDING WITHOUT LIMITATION CONSEQUENTIAL OR INCIDENTAL DAMAGES. "TYPICAL" PARAMETERS WHICH MAY BE PROVIDED IN AMBIQ MICRO DATA SHEETS AND/OR SPECIFICATIONS CAN AND DO VARY IN DIFFERENT APPLICATIONS AND ACTUAL PERFORMANCE MAY VARY OVER TIME. ALL OPERATING PARAMETERS, INCLUDING "TYPICALS" MUST BE VALIDATED FOR EACH CUSTOMER APPLICATION BY CUSTOMER'S TECHNICAL EXPERTS. AMBIQ MICRO DOES NOT CONVEY ANY LICENSE UNDER NEITHER ITS PATENT RIGHTS NOR THE RIGHTS OF OTHERS. AMBIQ MICRO PRODUCTS ARE NOT DESIGNED, INTENDED, OR AUTHORIZED FOR USE AS COMPONENTS IN SYSTEMS INTENDED FOR SURGICAL IMPLANT INTO THE BODY, OR OTHER APPLICATIONS INTENDED TO SUPPORT OR SUSTAIN LIFE, OR FOR ANY OTHER APPLICATION IN WHICH THE FAILURE OF THE AMBIQ MICRO PRODUCT COULD CREATE A SITUATION WHERE PERSONAL INJURY OR DEATH MAY OCCUR. SHOULD BUYER PURCHASE OR USE AMBIQ MICRO PRODUCTS FOR ANY SUCH UNINTENDED OR UNAUTHORIZED APPLICATION, BUYER SHALL INDEMNIFY AND HOLD AMBIQ MICRO AND ITS OFFICERS, EMPLOYEES, SUBSIDIARIES, AFFILIATES, AND DISTRIBUTORS HARMLESS AGAINST ALL CLAIMS, COSTS, DAMAGES, AND EXPENSES, AND REASONABLE ATTORNEY FEES ARISING OUT OF, DIRECTLY OR INDIRECTLY, ANY CLAIM OF PERSONAL INJURY OR DEATH ASSOCIATED WITH SUCH UNINTENDED OR UNAUTHORIZED USE, EVEN IF SUCH CLAIM ALLEGES THAT AMBIQ MICRO WAS NEGLIGENT REGARDING THE DESIGN OR MANUFACTURE OF THE PART.

修订记录

校订	日期	描述
1.0	April 1, 2024	Initial release

参考文件

这些参考文件可以在 Ambiq 网站和 / 或内容门户上访问。

文档 ID	描述
DS-A3-*	Apollo3 Blue SoC Datasheet
DS-A4B-*	Apollo4 Blue SoC Datasheet
	Apollo3 Blue AMA3B1KK-KBR EVB Schematic
	Apollo4 Blue Plus KBR EVB AMA4BPEVB Rev1.0 Schematic

* 指示使用文档的最新版本。

目录

1. 前言	7
2. 概述	8
3. RF 基础知识	11
3.1 频段划分	11
3.2 无线电传播模式	12
3.3 自由空间路径损耗	13
3.4 链路预算	14
4. 原理图设计指南	16
4.1 原理图设计指南	16
4.2 RF 前端参考设计	17
4.3 RF 电源参考设计	18
5. PCB 布局布线指南	22
5.1 PCB 设计要点	22
5.2 RF 传输线介绍	23
5.3 50 欧阻抗控制	25
6. 结语	28

表格列表

表 3-1 ITU 定义的无线电频段划分标准	11
表 4-1 LC LC 匹配元件推荐取值范围	18
表 4-2 Apollo3 Blue BLE 电源相关的引脚定义	19
表 4-3 Apollo4 Blue BLE 电源相关的引脚定义	20
表 4-4 适用于 BLE Buck 电源的铁氧体磁珠特性	21
表 5-1 各种传输线结构下特性阻抗的计算	26

图表一览表

图 2-1 Apollo3 Blue SoC 内部 BLE 子系统框图	8
图 2-2 Apollo4 Blue SoC 内部 BLE 子系统框图	9
图 2-3 Apollo3 Blue SoC BGA 封装引脚排列示意图	9
图 2-4 Apollo4 Blue SoC BGA 封装引脚排列示意图	10
图 3-1 LOS 视距传播示意	12
图 3-2 典型的无线电收发系统	13
图 3-3 链路预算示意图	15
图 4-1 Apollo BLE SoC 建议的 RF 前端拓扑	16
图 4-2 Apollo3 Blue EVB 的 RF 前端电路示意图	17
图 4-3 RF Apollo4 Blue EVB 的 RF 前端电路示意图	17
图 4-4 GRM 和 GJM 系列电容的 Q 值比较	18
图 4-5 BLE Apollo3 Blue 系列 BLE 电源参考设计	19
图 4-6 Apollo4 Blue 系列 BLE 电源参考设计	19
图 4-7 VDDAUDA 的低噪声 LDO 参考设计	20
图 4-8 BLE Buck 功率电感饱和电流特性曲线	21
图 5-1 微带线结构	23
图 5-2 带状线结构	24
图 5-3 共面波导结构	24
图 5-4 带过孔栅栏的接地型共面波导	25
图 5-5 AppCAD 的共面波导计算器界面	26
图 5-6 一种 RF 前端 PCB 布局示例	27

部分

1

前言

良好的射频设计对于无线电系统实现最佳性能至关重要，它不仅可以扩展工作范围并提高通信质量，而且还可以与其他带内和带外无线技术兼容共存。众所周知，每一代 Apollo 系列 SoC 除了单 MCU 版本的型号外，还有集成 BLE 子系统的“Blue”无线版本，例如 Apollo3 Blue 系列（包括 Apollo3 Blue Plus）、Apollo4 Blue 系列（包括 Apollo4 Blue Plus 和 Apollo4 Blue Lite）等。本文档旨在提供这些 BLE SoC 的通用射频硬件设计指南，相关人员可以在基于这些 SoC 进行终端产品设计和开发时加以参考。

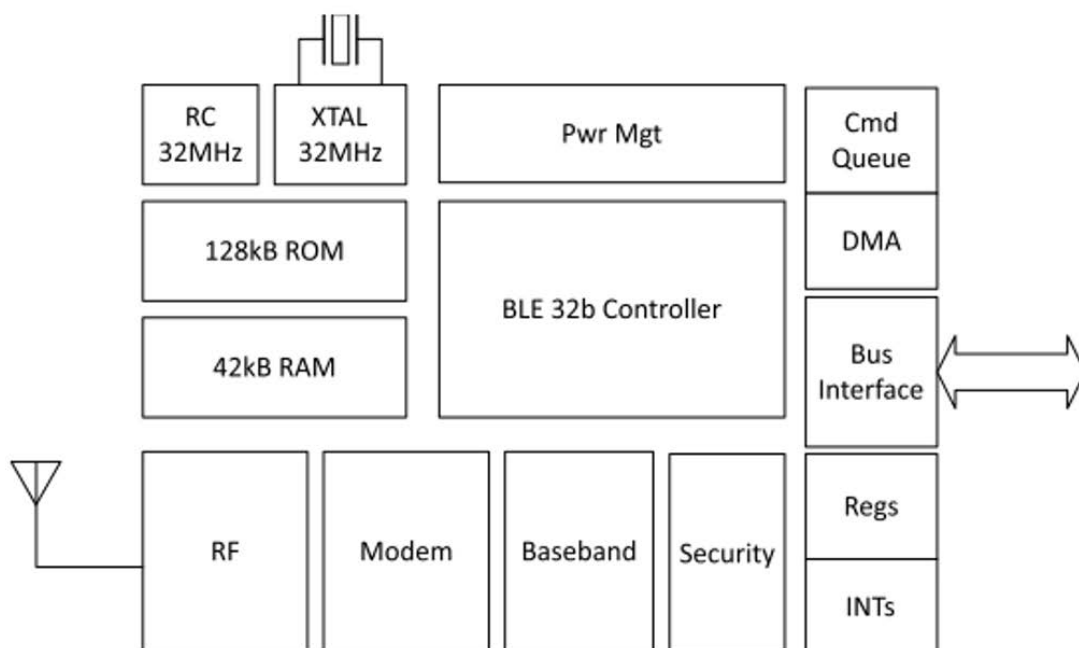
部分

2

概述

Apollo Blue 系列 SoC 内部集成了 BLE 子系统，其中 Apollo3 Blue 的框图如图 2-1 所示，而 Apollo4 Blue 如图 2-2 所示。它们的 BLE 子系统都基于 Arm Cortex-M0 内核，集成了 BLE 专用基带处理硬件、GFSK 调制解调器和 2.4~2.5GHz 频段射频收发器。它们还提供相应的 PMU、时钟、数字 I/O、专用 RAM、ROM 和嵌入式 Flash 等存储和外设，可以视作一个功能完整的 MCU^{1,2}。

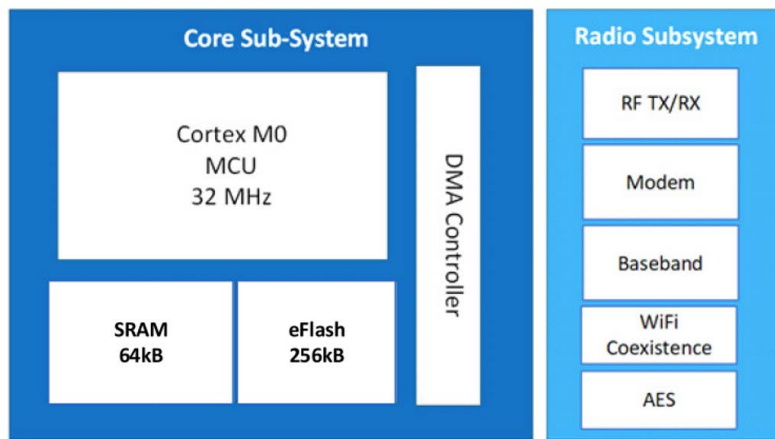
图 2-1: Apollo3 Blue SoC 内部 BLE 子系统框图



¹ Apollo3 Blue SoC Datasheet.

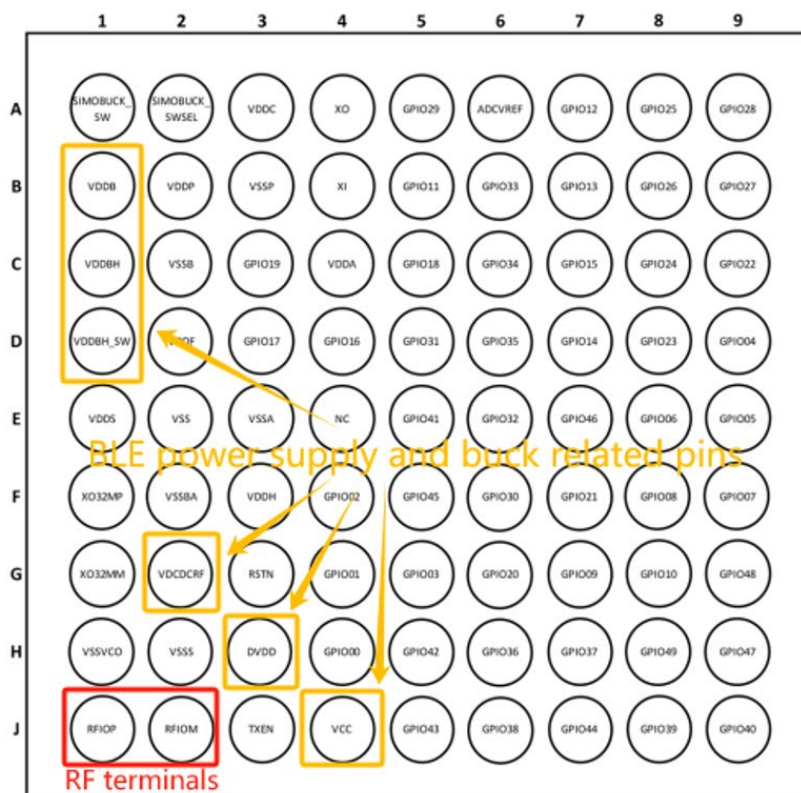
² Apollo4 Blue SoC Datasheet.

图 2-2: Apollo4 Blue SoC 内部 BLE 子系统框图



Apollo3 Blue 采用 5×5 mm、81 引脚 BGA 封装（也有另外一种 3.37×3.25 mm WLCSP 封装形式，但实际中很少用到），其引脚排列如图 2-3 所示；Apollo4 Blue 系列采用 4.7×4.7 mm、131 引脚 BGA 封装，其引脚排列如图 2-4 所示。对于这两款产品，BLE 部分相关引脚包括 RFIO、供电电源、32M 晶体相关引脚均用相关色块标注。RF 输入 / 输出引脚（RFIOP 和 RFIOM）在芯片封装时都安排在芯片左下角边缘处，以便我们在 PCB Layout 时可以尽可能短地引出 RF 信号，以减少额外的 PCB 布局布线损耗^{1,2}。

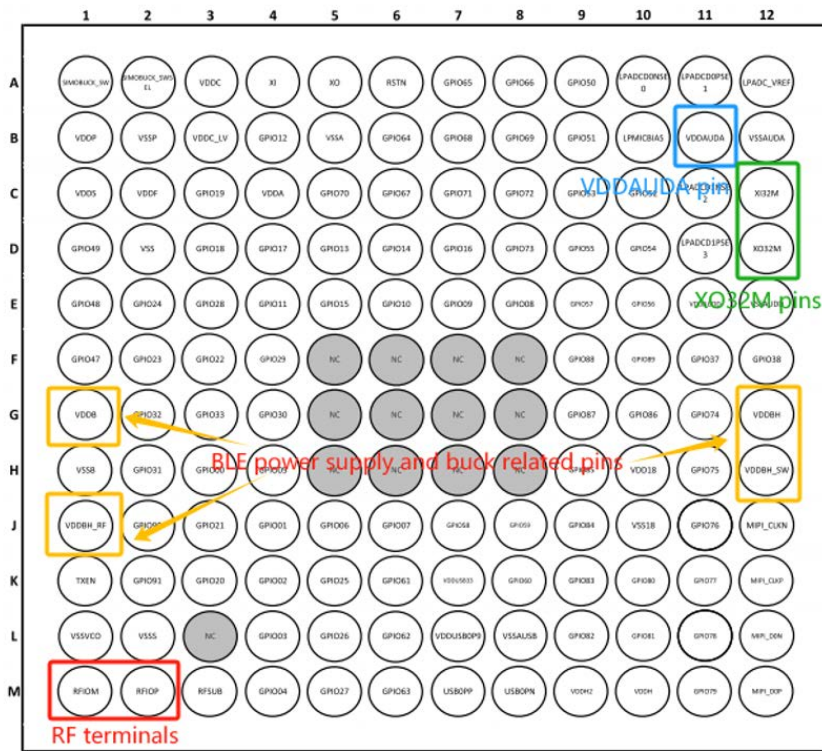
图 2-3: Apollo3 Blue SoC BGA 封装引脚排列示意图



¹ Apollo3 Blue SoC Datasheet.

² Apollo4 Blue SoC Datasheet.

图 2-4: Apollo4 Blue SoC BGA 封装引脚排列示意图



RF 基础知识

3.1 频段划分

RF（射频）定义为频率范围从大约 3 MHz 到大约 300 GHz 的交流电流或电磁场的振荡速率。在这些频率下，振荡电流的能量可以以电磁波的形式从天线辐射到自由空间。无线电频段是一个小频段，通常使用或留出信道用于相同目的。不同的频段规定了不同的频率范围上限和下限，由 ITU 国际电信联盟定义划分的无线电频段名称和对应频率、波长范围如表 3-1 所示¹。

表 3-1: ITU 定义的无线电频段划分标准

频谱名称	频率范围	波长范围	备注
VLF (Very low frequency)	3 ~ 30 kHz	100 ~ 10 km	
LF (Low frequency)	30 ~ 300 kHz	10 ~ 1 km	
MF (Medium frequency)	300 ~ 3000 kHz	1000 ~ 100 m	
HF (High frequency)	3 ~ 30 MHz	100 ~ 10 m	射频起始频段
VHF (Very high frequency)	30 ~ 300 MHz	10 ~ 1 m	
UHF (Ultra high frequency)	300 ~ 3000 MHz	100 ~ 10 cm	蓝牙工作频段
SHF (Super high frequency)	3 ~ 30 GHz	10 ~ 1 cm	
EHF (Extremely high frequency)	30 ~ 300 GHz	10 ~ 1 mm	
THF (Terahertz)	300 ~ 3000 GHz	1 ~ 0.1 mm	

¹ https://en.wikipedia.org/wiki/Radio_spectrum#IEEE_radar_bands

因此，蓝牙设备工作在免许可的 2400~2483.5 MHz ISM（工业、科学、医疗）频段，根据上表的划分这属于 UHF 频段范围（0.3~3 GHz）。免许可意味着用户在使用这些频段内的相关无线电技术时无需向当地监管机构申请无线电频谱使用许可证。

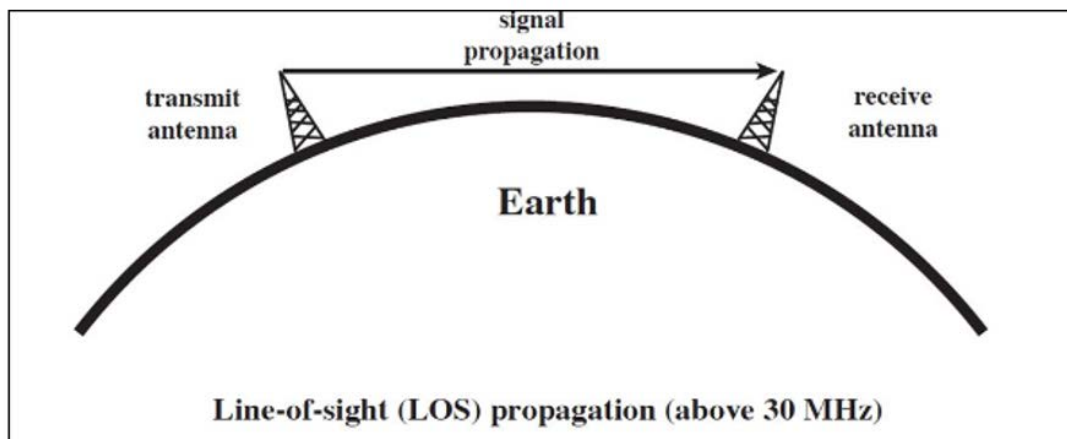
3.2 无线电传播模式

自由空间中辐射的无线电波有三种典型的无线电传播模式：

- 地波传播方式（主要涉及 VLF、LF、MF 频段）；
- 天波传播方式（主要涉及 MF 和 HF 频段）；
- 视距 (Line-of-Sight) 传播方式（主要涉及 VHF 频段及以上）。

对于蓝牙设备来说，其传播模式主要是视距传播（LOS）。它是 VHF 及以上频段最常见的传播方式，这意味着远场电磁波从发射天线沿着直线传播到接收天线。地球表面的 LOS 传输仅限于可视地平线的距离，这将取决于发射天线和接收天线各自的高度。图 3-1 清晰地描述了这种传播模式。

图 3-1: LOS 视距传播示意



无线电波传播受到大气条件、电离层吸收以及建筑物或山脉等障碍物存在的影响。如果不考虑这些影响因素，最大 LOS 传播距离 d （单位：km）仅取决于地球的半径 R 、发射天线高度（ H_1 ）和接收天线高度（ H_2 ），其计算公式如下所示：

$$d_{km} = \sqrt{(R + H_1)^2 - R^2} + \sqrt{(R + H_2)^2 - R^2}$$

由于发射、接收天线高度 H_1 、 H_2 （单位：m）一般远小于地球的半径 R （单位：km），因此在最终计算中可以忽略不计，最后可以简化为用以下公式表示：

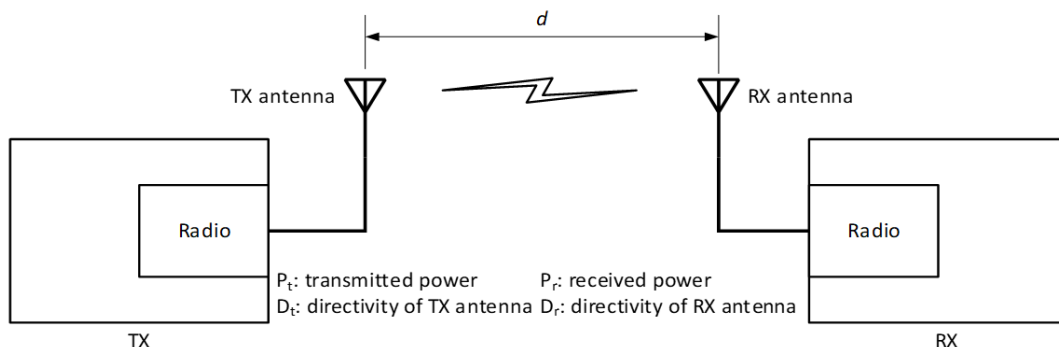
$$d_{km} \approx 3.57 \left(\sqrt{H_1(\text{meters})} + \sqrt{H_2(\text{meters})} \right)$$

这个简单的公式给出了最大可能 LOS 视距传播距离的近似值，但不足以估计无线电系统中的实际工作距离范围，因为这涉及到更多需要考虑的因素¹。

3.3 自由空间路径损耗

在如下图 3-2 所示的无线电系统中，自由空间路径损耗（FSPL）定义为电磁波能量通过发射接收两个天线馈点之间传播时在自由空间（通常是空气）的衰减程度。FSPL 是无线电通信系统的功率链路预算中必须包含的一个因素，以确保足够的无线电功率到达接收端。然而在大多数情况下，无线电通信往往发生在建筑物内部及其周围还存在树木和山脉等障碍物的遮挡，这将使 FSPL 分析变得异常困难，下面我们只讨论自由空间的情况，因为这足以给前期的系统设计和需求分析提供一个近似合理的参考。

图 3-2: 典型的无线电收发系统



FSPL 计算公式源自 Friis 传输方程，其表明在由发射天线向接收天线发射无线电波的射频系统中，接收的无线电波功率 P_r 与发射的功率 P_t 之比可以表示为：

$$\frac{P_r}{P_t} = D_t D_r \left(\frac{\lambda}{4\pi d} \right)^2$$

其中，

- P_t ：发射天线馈电点提供的功率；
- P_r ：接收天线馈电点接收的功率；
- D_t ：发射天线的方向性；
- D_r ：接收天线的方向性。

¹ https://en.wikipedia.org/wiki/Radio_propagation#Free_space_propagation

发射和接收天线之间的距离 d 必须远大于信号的波长 λ ，以确保两天线均位于彼此的远场中。假设发射、接收天线各向同性且没有方向性 ($D_t = D_r = 1$)，FSPL 可以简化为如下表达式：

$$FSPL = \frac{P_t}{P_r} = \left(\frac{4\pi d}{\lambda}\right)^2 = \left(\frac{4\pi d f}{c}\right)^2$$

除了假设天线是无损的之外，上述该公式还假设天线的极化相同，不存在多径效应，并且无线电波路径距离障碍物足够远，就像处于无遮挡的自由空间一样。估算 FSPL 的一种简便方法是用对数方式 (dB) 表示：

$$FSPL_{(dB)} = 20 \log d_{(m)} + 20 \log f_{(Hz)} - 147.55$$

对于工作在 2.4GHz ISM 频段的蓝牙应用，我们可以粗略计算出在 LOS 视距传播条件下，FSPL 在发射、接收相距 100 米处的衰减约为 80 dB，而在相距 1 米处的衰减约为 40 dB，并且衰减随着两者的距离成倍增加而将变大 6 dB¹。

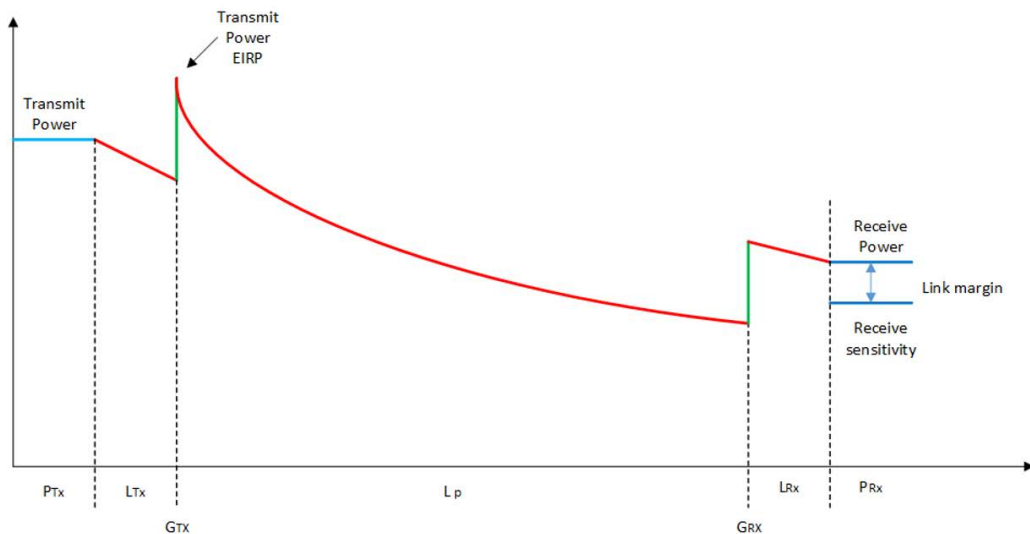
3.4 链路预算

通信链路预算是指 RF 信号从发射端通过空气等通信媒介到达接收端的过程中所遇到的所有功率收益和损失的计算总和。链路预算衡量了 RF 无线电信号经过空间传播衰减、天线极化和增益影响以及其他可能存在的路径损耗后所能被接收端正常接收到的功率。[6]

因此，通过了解射频系统中的所有可能存在的增益和损耗，我们可以预测信号接收的可靠性。链路预算在点对点通信系统中非常有用，可以简单确定接收功率和发射功率之间的关系，以确保接收端能够以足够的信噪比和误码率稳健地接收和解调数据而不至于导致通信失败。图 3-3 形象地了链路预算的图形表示。

¹ https://en.wikipedia.org/wiki/Free-space_path_loss

图 3-3: 链路预算示意图



计算接收功率的完整链路预算方程必须包含以下参数：

- P_{TX} ：发射功率电平
- L_{TX} ：发射端损耗（包括线缆、连接器等带来的损耗）
- G_{TX} ：发射天线增益
- L_P ：空间传播损耗，通常用 FSPL 表示
- G_{RX} ：接收天线增益
- L_{RX} ：接收端损耗（同样包括线缆、连接器等带来的损耗）
- P_{RX} ：接收功率电平

要正确估算可用接收功率电平，我们只需组合上述参数（注意：此处所有参数均以对数形式表示）：

$$P_{RX} = P_{TX} - L_{TX} + G_{TX} - L_P + G_{RX} - L_{RX}$$

间留出余量非常重要，以考虑各种其他损耗，例如多径衰落效应、天线极化失配、多普勒频移等。只有这样，我们才能在前期系统设计需求分析时通过链路预算估计来保证通信的可靠性¹。

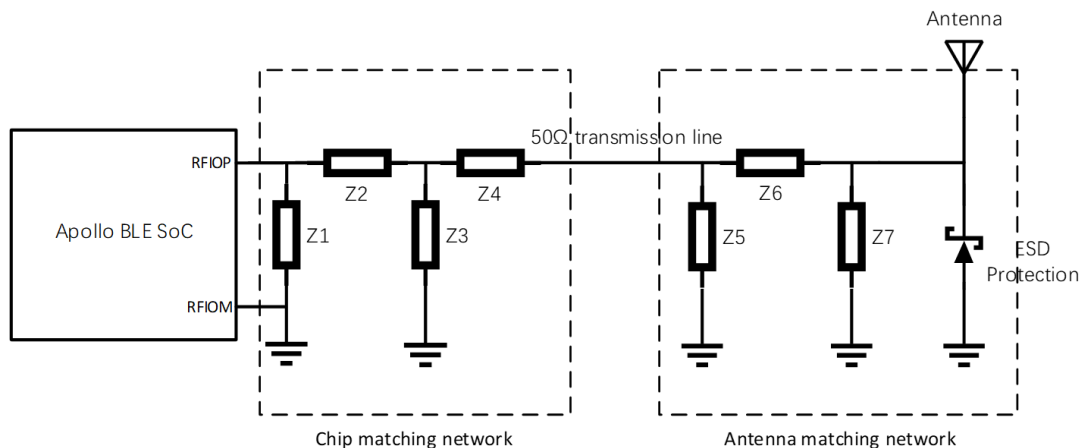
¹ https://en.wikipedia.org/wiki/Link_budget

原理图设计指南

4.1 原理图设计指南

针对 Apollo Blue 系列 BLE SoC 的射频前端设计，我们建议在产品原型开发阶段预留如图 4-1 所示的两个匹配网络，分别靠近芯片和天线放置。芯片端匹配网络用于芯片射频输入 / 输出端子（图中的 RFIOP 和 RFIOM 引脚）的阻抗匹配，而天线匹配网络则用于天线的阻抗匹配。如下所示的匹配网络拓扑方式具有最大的灵活性，它们可以组合成各种形式的拓扑结构，如双元件倒 L 型、三元件 Π 型或 T 型、四元件级联倒 L 型等等。同时，芯片与天线馈点之间的 PCB 走线需要严格按 50Ω 传输线进行布线。此外，对于终端应用，ESD 保护二极管是极其必要的，将其尽可能靠近 PCB 板端天线触点放置，以防止 ESD 事件导致 RF 性能下降或造成物理损坏。

图 4-1: Apollo BLE SoC 建议的 RF 前端拓扑



上图中标记的 $Z_1 \sim Z_8$ 分立元件可以是电阻、电容或电感。具体的元件类型和元件值取决于射频端口的原始输出阻抗、滤波网络拓扑方式（低通或高通、切比雪夫或巴特沃斯以及滤波器阶数等关键特性）以及 PCB 寄生参数等多种因素确定。这里需要注意的是，虽然电阻不建议用于阻抗匹配，但实际设计中往往需要 0 欧姆电阻来协助完成阻抗匹配工作，以及用于最终的产品填补多出来的串联元件位置。

随着技术的进步，当今终端产品的 PCB 变得越来越复杂和精密，有可能在紧凑的设计中没有额外的空间来放置更多的元器件。尽管如此，为了提供更具竞争力和差异化的产品，建议在产品原型研发阶段预留多元件的阻抗匹配网络。一旦射频性能经验证可以通过更少的匹配元件达到预期，最终产品设计中的元件数量便可以适当裁剪以适应紧凑的产品空间。

4.2 RF 前端参考设计

图 4-2 和图 4-3 分别给出了用于 Apollo3 Blue EVB 和 Apollo4 Blue EVB 上的 RF 前端设计原理图和 LC 匹配元件类型和电容、电感值的示例。芯片侧匹配采用由两串联电感和单并联电容组成的 T 型匹配网络，PCB 天线端则采用 Π 型匹配网络。

图 4-2: Apollo3 Blue EVB 的 RF 前端电路示意图

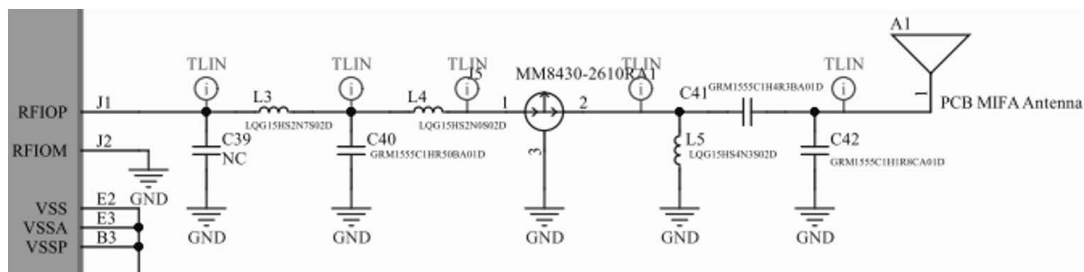
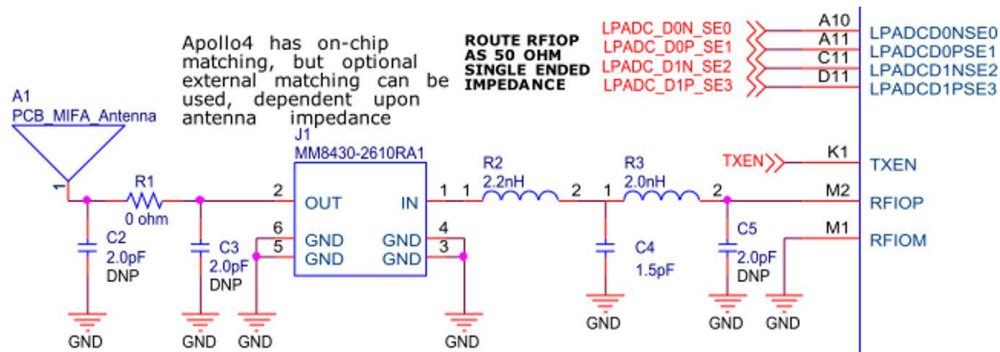
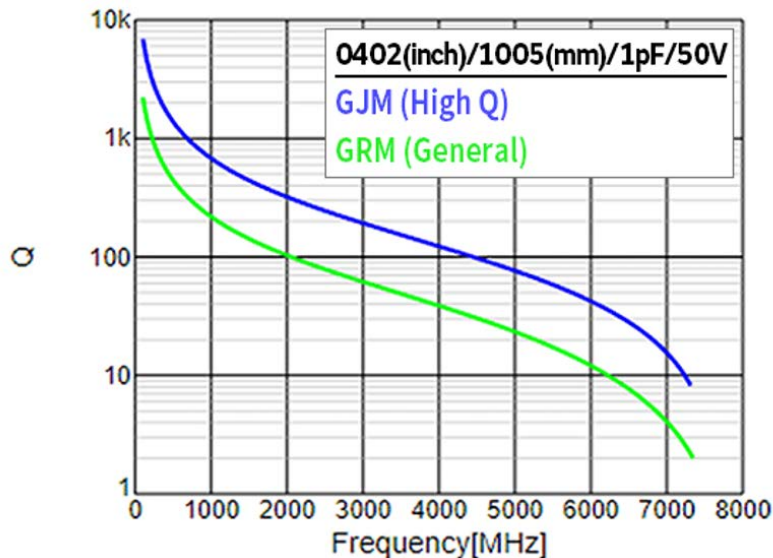


图 4-3: RF Apollo4 Blue EVB 的 RF 前端电路示意图



对于用于阻抗匹配的电感和电容，我们强烈建议选择高 Q 值（高自谐振频率）、低 ESR（等效串联电阻）的 RF 专用电感和电容。例如，根据 Murata 官网提供的数据，GRM 和 GJM 电容器系列的 Q 值比较如图 4-4 所示，可以看出 GJM 系列比 GRM 系列具有更高的 Q 值，因此 GJM 系列比 GRM 系列更适合于射频应用，但 GJM 系列的价格当然也会更高¹。

图 4-4: GRM 和 GJM 系列电容的 Q 值比较



对于 Apollo Blue 系列 BLE SoC，我们以 Murata 为例，用于芯片匹配网络的电感、电容建议取值范围如下表 4-1 所示，过高的元件值会给匹配网络带来较高的插损，而过低的值又可能会因为元件公差导致一致性变差。因此，采用合适取值的电感、电容对于 RF 应用非常重要，因为这意味着电感、电容在 2.4GHz 频段下的损耗处于合理的范围区间²。

表 4-1: LC LC 匹配元件推荐取值范围

元件类型	推荐系列 (以 Murata 为例)	建议取值范围
Inductor L	LQG, LQP, LQW	1 ~ 3.9 nH
Capacitor C	GRM, GJM	0.5 ~ 3 pF

4.3 RF 电源参考设计

除了 RF 前端自身的设计外，我们还需要关注 BLE 子系统的电源部分，因为 RF 电源与 RF 设计本身同样重要。下图 4-5 为 Apollo3 Blue 系列 BLE 相关部分的电源参考设计。

¹ <https://www.murata.com/en-us/products/capacitor/ceramiccapacitor/overview/lineup/smd/gjm>

² <https://www.murata.com/en-global/products/inductor/chip>

图 4-5: BLE Apollo3 Blue 系列 BLE 电源参考设计

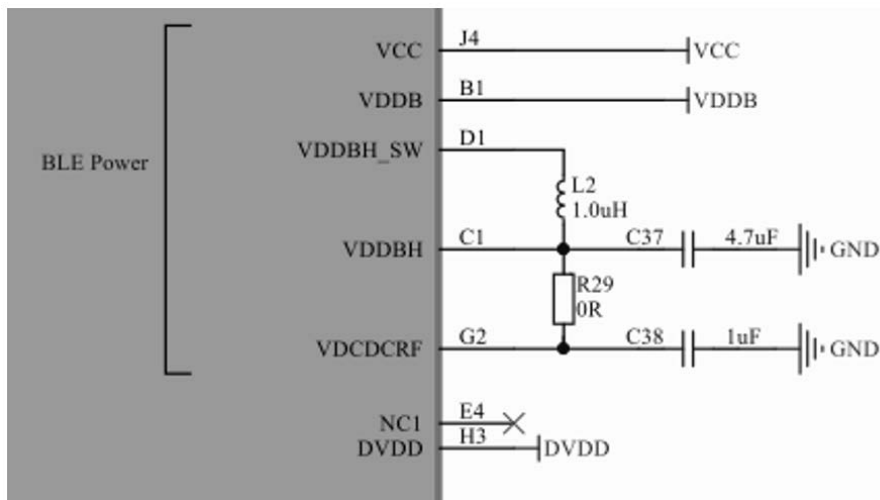


表 4-2 列出了 Apollo3 Blue 系列的 BLE 电源相关引脚的功能及其连接方式, 以及在实际电路设计时需要注意的一些要点。

表 4-2: Apollo3 Blue BLE 电源相关的引脚定义

引脚	功能定义	功能描述	注意事项
VDDDB	BLE 模块电源输入	连接 VDD_MCU 主电源域	接 2.2 μ F 去耦电容
VCC	BLE RF 电源输入 (RF 高电源电压)		接 1 μ F 去耦电容
VDDBH_SW	BLE buck 电感开关	两管脚之间放置 1 μ H 功率电感	
VDDBH	BLE buck 电源输出		接 4.7 μ F 去耦电容
VDCDCRF	BLE RF 电源输入 (RF 低电源电压)	通过 0 Ω 电阻或磁珠连接 VDDBH	接 1 μ F 去耦电容
DVDD	BLE 数字域电源输出	BLE 数字电路部分电源输出管脚	接 47 nF 去耦电容

对于 Apollo4 Blue 系列, BLE 相关电源引脚的定义与 Apollo3 Blue 基本类似, 但也有些区别需要注意。

图 4-6: Apollo4 Blue 系列 BLE 电源参考设计

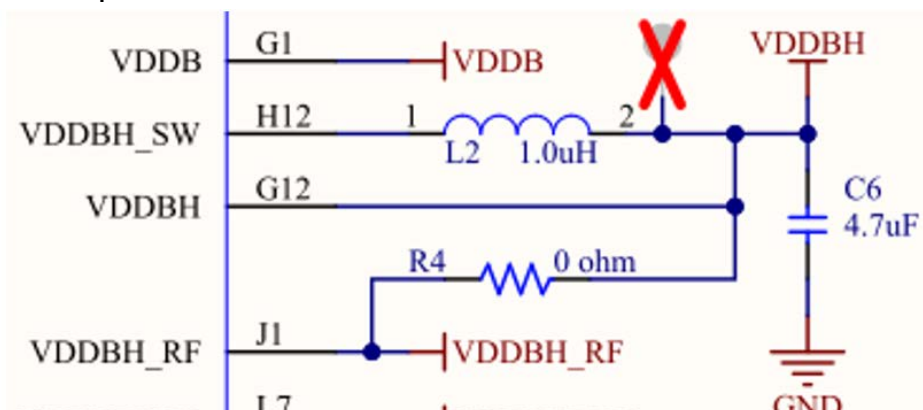


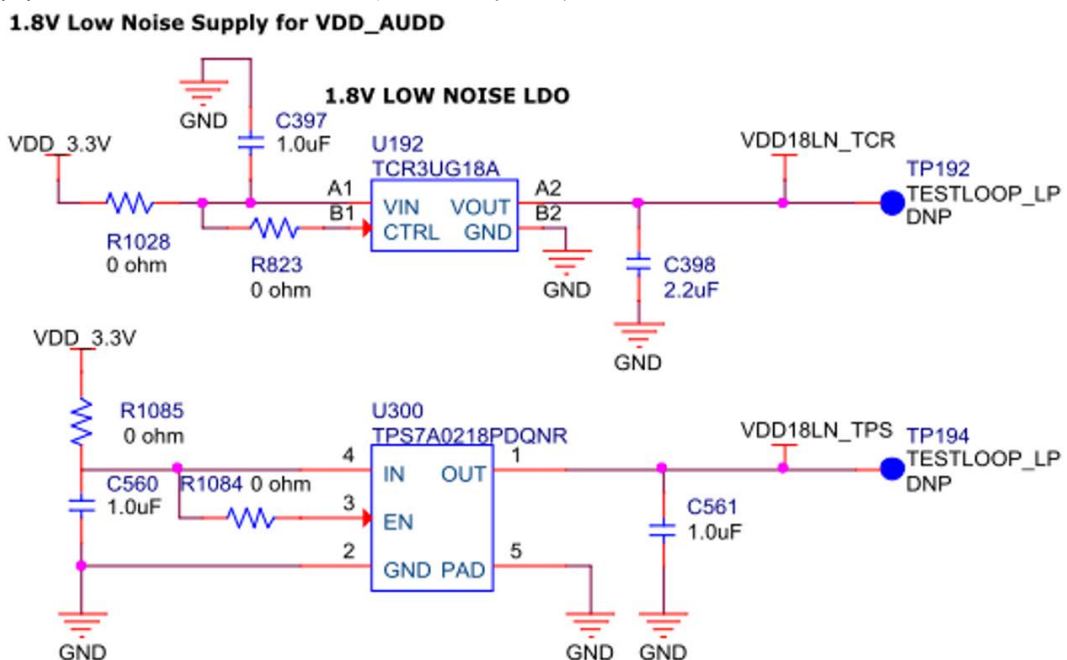
表 4-3 列出了这些引脚的功能、连接方式以及在终端应用中设计原理图时的注意事项。

表 4-3: Apollo4 Blue BLE 电源相关的引脚定义

引脚	功能定义	功能描述	注意事项
Vddb	BLE 子系统电源输入	连接 VDD_MCU 主电源域	接 2.2 μ F 去耦电容
VddbH_SW	BLE buck 电感开关	两管脚之间放置 1 μ H 功率电感	接 4.7 μ F 去耦电容
VddbH	BLE buck 电源输出		
VddbH_RF	BLE RF 模块电源输入	通过 0 Ω 电阻或磁珠连接 VddbH	接 1 μ F 去耦电容
VDDAUDA	模拟和音频电源输入	XO32M 时钟门控电路由其供电	需由一颗低噪声 LDO 单独供电

Apollo4 Blue 系列与 Apollo3 Blue 的 BLE 相关电源的区别在于多了额外的一路电源域 VDDAUDA 用于芯片的模拟 / 音频模块供电。VDDAUDA 需要由一个专用的低噪声 LDO 供电，因为 XO32MHz 时钟将会受其电源噪声的影响从而导致 RF 性能受到影响，以下是 Apollo4 Blue EVB 上的 LDO 参考电路设计。

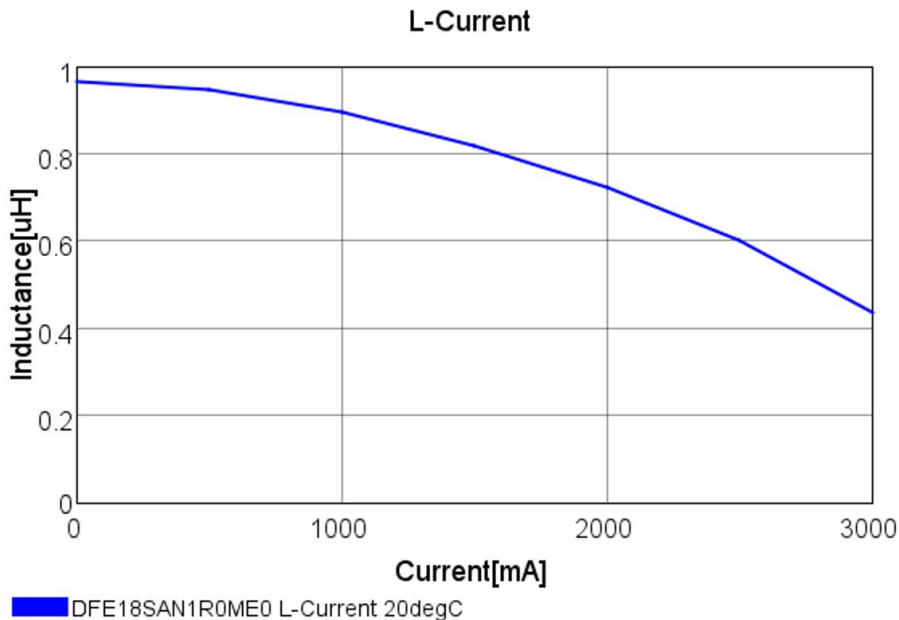
图 4-7: VDDAUDA 的低噪声 LDO 参考设计



需要值得注意的是，芯片内部的 BLE Buck 电路都需要在内部 MOS 开关和输出引脚之间使用一个外部 1 μ H 功率电感。由于 BLE buck 需要不定时对外部电容充电操作，其峰值电流可达百 mA 数量级，因此对于该 1 μ H 功率电感的选型，需要满足一些基本条件。首先要满足在电感量下降 20% 时对应的饱和

电流需大于 800 mA，其次是它的 DCR 直流电阻要小于 0.5 Ω ，再次 SRF 自谐振频率需大于 20MHz。图 4-8 展示了 Apollo Blue EVB 板上采用的来自 Murata 的一款功率电感，可以看到当电感量减少 20% 时，其对应的饱和电流远远超过了 800mA。选择 BLE Buck 电感应遵循以上几点建议¹。

图 4-8: BLE Buck 功率电感饱和电流特性曲线



BLE Buck 另外一点需要注意的是，Apollo4 Blue EVB 中 VDDBH 和 VDDBH_RF 引脚之间的 R4 放置了一颗 0 欧姆电阻（Apollo3 Blue EVB 中 VDDBH 和 VDCDCRF 引脚之间是 R29）。对于 PCB 板上需要有其他 RF 无线制式共存的应用，如蜂窝或是 WiFi 等，此处的 0 Ω 电阻可以用一个铁氧体磁珠代替，以抑制可能通过电源耦合到 BLE 子系统的噪声。适用于 Apollo Blue EVB 板的典型铁氧体磁珠型号是 Murata 的 BLM15HG601SN1D，其特性如下表 4-4，可以参考这些参数进行磁珠的选型²。

表 4-4: 适用于 BLE Buck 电源的铁氧体磁珠特性

型号	阻抗 (Ω)		额定电流 (mA)	直流电阻 (Ω max)
	@100 MHz	@1 GHz		
BLM15HG601SN1D	600 \pm 25%	1000 \pm 40%	300	0.7

¹ <https://www.murata.com/en-us/products/productdetail?partno=DFE18SAN1R0ME0%23>

² <https://www.murata.com/en-global/products/productdetail?partno=BLM15HG601SN1%23>

部分

5

PCB 布局布线指南

5.1 PCB 设计要点

在终端应用中开始射频 PCB 布局布线之前，需要考虑许多因素，包括但不限于：

- 产品外形尺寸
- PCB 层数和堆叠结构
- 实现的电路功能
- 多电压域和承载电流
- 无线系统工作频段
- 阻抗控制和匹配
- 信号完整性和可靠性
- 信号屏蔽和隔离
- EMC and ESD 防护
- 热设计
- ...

如果展开来讲的话，这会涉及到很多内容，需要把各种考虑因素都列出来。因此，本章节仅从基于 Apollo BLE SoC 的 RF 布局布线自身角度提供一些参考指南。针对 RF 组件一些基本的布局规则如下：

1. RF PCB 布局的首要规则是使 RF 信号线尽可能短，较长的微带线会带来更多的寄生参数以及更大的插损，导致建议的 LC 值可能因 PCB 寄生参数而发生变化。100 mil（约 2.54 mm）长的 PCB 传输线将产生约 1.1 nH 的杂散电感。

2. 对于 4 层及以上的多层 PCB 板，建议使用其中一内层作为参考地平面，尽量避免在该层布其他信号线或电源线，尽可能保证一个完整的参考地平面。表层的 RF 传输线两侧也需尽可能保证有连续的接地，并在传输线两侧按一定间距均匀地放置过孔形成所谓的“过孔栅栏”以接到内层的参考地，PCB 板载天线区域需要留出充足的净空区以提高天线的辐射效率。
3. RF 信号线需要布线在表层，避免使用过孔切换到不同的层走线，并且 RF 传输路径应尽可能地直，避免形成环路和减少不必要的转角。RF 组件应与电源和其他一些强干扰电路（特别是数字信号线等）的布局分隔开，已知的噪声源应尽可能远离射频电路。避免使用过粗的走线，工作频率越高，走线应越细，以最大限度地减少射频路径中的损耗。

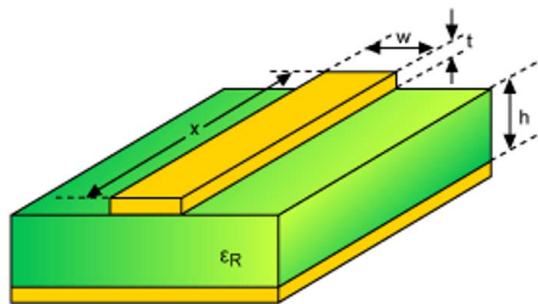
5.2 RF 传输线介绍

RF PCB 设计中常用的传输线有微带线、带状线和共面波导（CPWG）三种结构，它们各自的特点如下：

1. 微带线

微带线由固定宽度的 RF 传输线以及位于其正下方（相邻层上）的连续不间断参考地平面组成。例如，顶层 1 上的微带线需要内层 2 上的参考地平面。布线的宽度、介质层的厚度以及电介质的类型决定特性阻抗（通常为 $50\ \Omega$ ）。

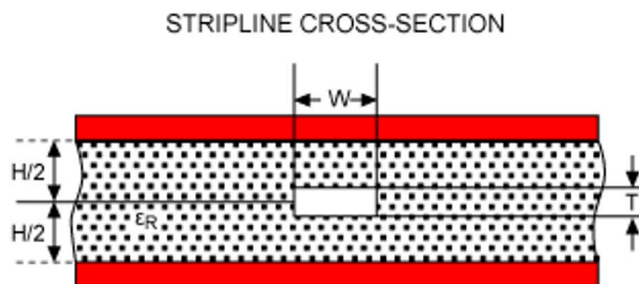
图 5-1: 微带线结构



2. 带状线

带状线由位于内层的固定宽度的 RF 传输线组成，中心导体上方和下方具有连续的参考地平面。RF 传输线可以布在两参考地平面的中间，也可以稍微偏移。带状线是在内层进行射频布线的合适方法。

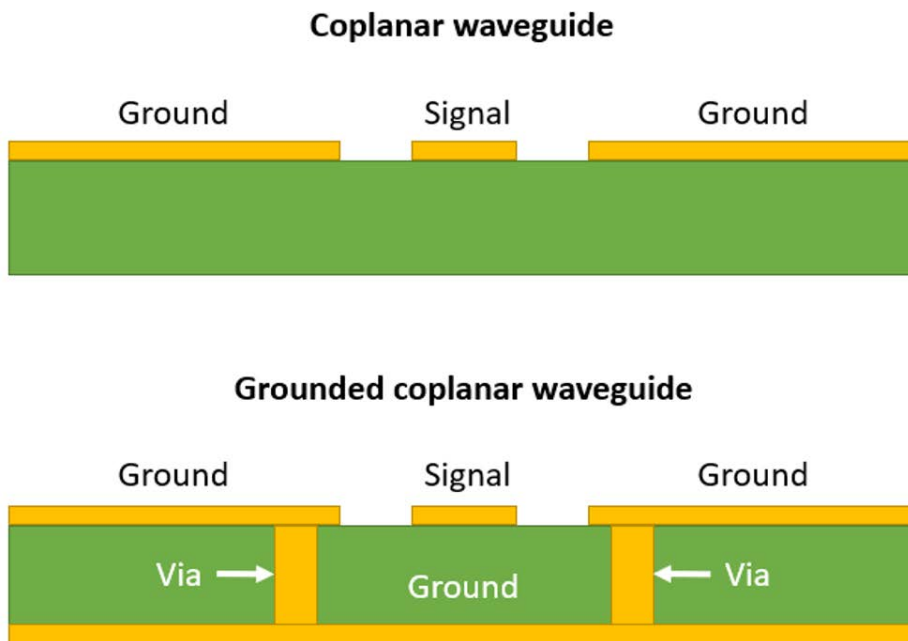
图 5-2: 带状线结构



3. 共面波导 (CPWG)

CPWG 是一种表层射频信号走线平行于两个接地平面的布线方式。RF 信号走线每一侧的接地层为信号提供了屏蔽和隔离，以防止来自电路板上其他信号线的干扰。CPWG 也有在信号线下方布设参考地平面的变体类型，它们的几何形状本质上都相同，只是在表层下方多了另一个接地平面，有点类似微带线的衍生。CPWG 可在附近的 RF 走线以及其他信号走线之间提供更好的隔离。该介质由中心导体和底层参考地平面组成，而在 RF 信号线两侧也都有接地层，其典型结构如下图 5-3 所示。

图 5-3: 共面波导结构

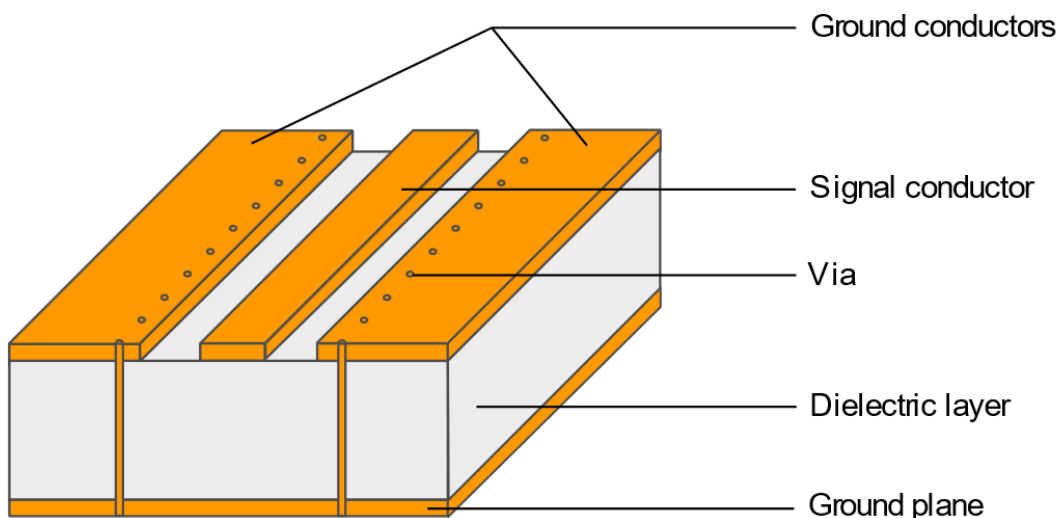


与微带线和带状线相比，CPWG 结构将射频信号走线放置在表层，并在其两侧安排接地，这样使得 RF 信号的辐射损耗更低。这同时也减少了直流电阻热损耗，因为趋肤效应关系，RF 信号的传输实际发生在导体的表面，而不是被约束在导体中心。这意味着 RF 信号的插损会较低，并且高频电流沿着 CPWG 传播时不会出现失真。

对于蓝牙 /Wi-Fi 等 2.4GHz 应用，需要串联和 / 或并联电感、电容来进行阻抗匹配。由于 CPWG 在 RF 传输线两侧都设置有接地平面，因此并联匹配组件可以直接安装在 RF 信号线和其两侧的接地平面之间，而无需通过过孔切换到另一层。因此，CPWG 结构是最适合消费类无线产品的 RF 布局布线方式。

如下图 5-4 所示，该立体视图提供了中心射频信号迹线两侧接地平面上的一排接地过孔的示例，因此需要在共面波导的两侧接地平面均匀地放置 “ 栅栏过孔 ” ，这样将有助于形成 RF 信号的最短回流路径。

图 5-4: 带过孔栅栏的接地型共面波导



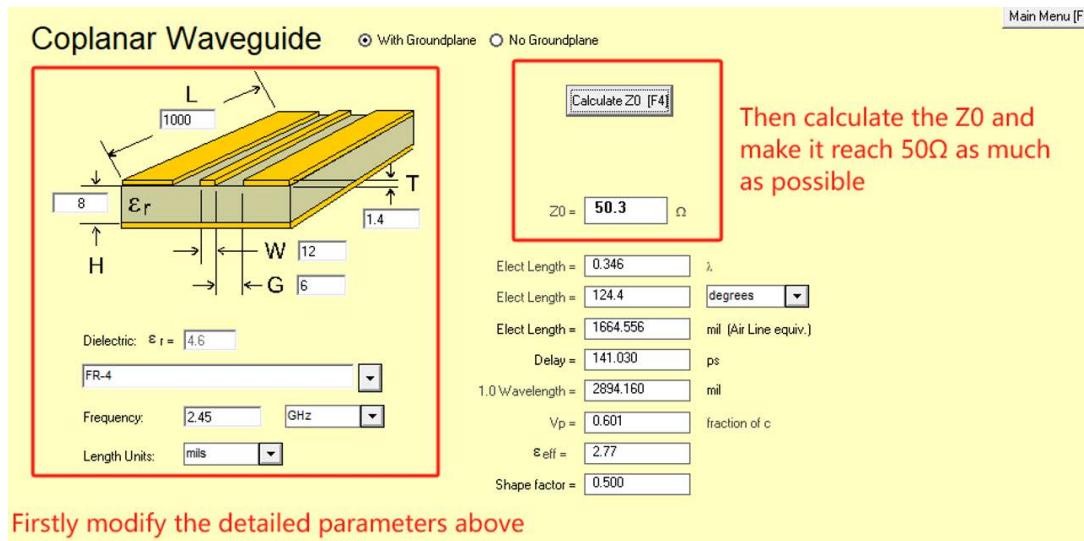
5.3 50 欧阻抗控制

由于共面波导结构最适用于无线产品硬件设计，因此我们以它为例来说明如何计算各种 PCB 设计参数，例如射频走线宽度和厚度、射频走线与其靠近接地层的表面之间的间隙、以及特定介质层的厚度等。

网络上有许多免费并且易于使用的射频电路设计工具和传输线计算器，可用于生成 RF PCB 布局布线参数，以实现所需的特性阻抗 Z_0 。下面我们以 Avago (现为 Broadcom) 的 AppCAD 软件工具为例来说明如何用它根据 PCB 设计参数来确定传输线的特性阻抗。下图 5-5 显示了 AppCAD 打开 CPWG 计算器功能后的图形用户界面¹。

¹ <https://www.broadcom.com/info/wireless/appcad>

图 5-5: AppCAD 的共面波导计算器界面



如上图窗口所示，我们需要根据实际 PCB 布局和板层堆叠要求，填写左侧红框内标注的各种 PCB 布局相关参数，包括工作频率、介质的介电常数 ϵ_R 、介质层的厚度 H 、线宽 W 、铜厚 T 、走线与附近地平面之间的间隙 G 等。所有这些设计参数都会影响右上角红框中标记的特性阻抗 Z_0 的计算结果（注意：RF 走线长度 L 理论上与特性阻抗 Z_0 的计算无关，因此我们可以忽略它）。

然而，选择内层介电常数 ϵ_R 的值时应谨慎。典型 PCB 板的表面层通常含有比中间层更少的玻璃含量，因此一般情况下其介电常数将低于其固有值，这时就需要对其进行修正。例如，FR4 介质通常的介电常数为 $\epsilon_R=4.2$ 或 4.6 ，而表面层（prepreg）的介电常数通常为 $\epsilon_R=3.8$ ，一般会低于其标称值。下表 5-1 中给出了几种结构传输线的计算示例，所有类型都假定铜厚为 1 oz（1.4 mils，35 μm ）。

表 5-1: 各种传输线结构下特性阻抗的计算

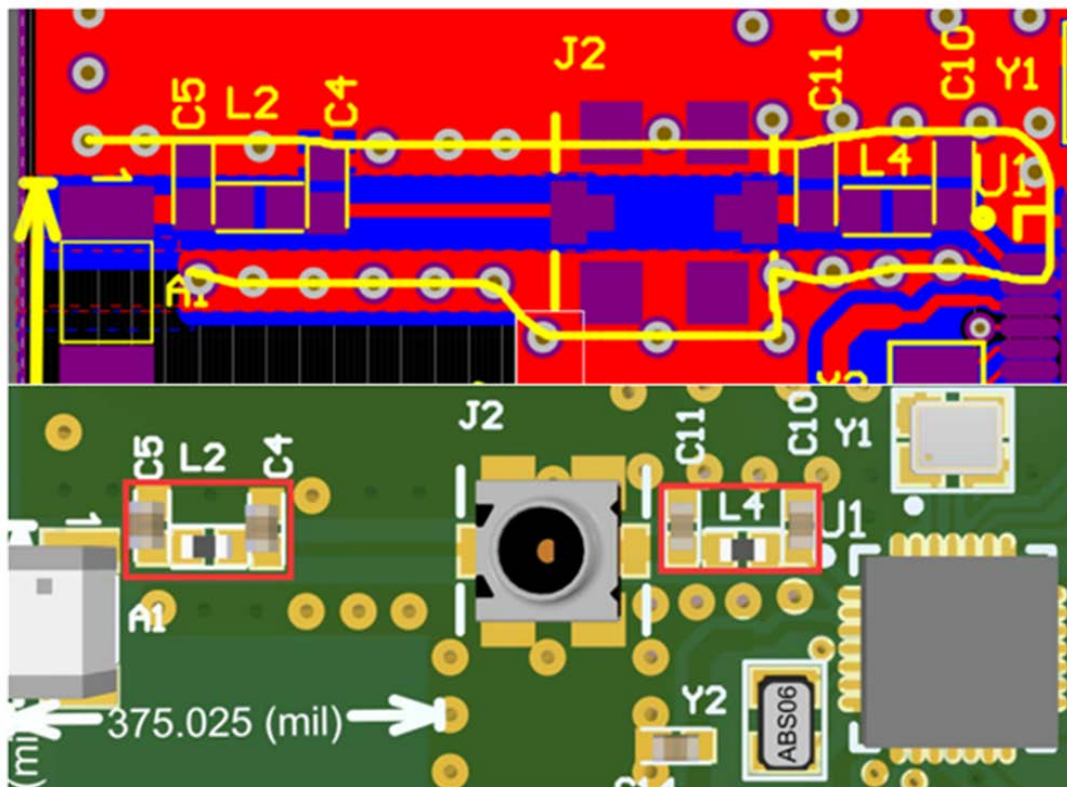
传输线类型	介质	层厚 (mils)	线宽 (mils)	间距 (mils)	Z_0 计算值 (Ω)
微带线	Prepreg ($\epsilon_R=3.8$)	6	11.5	N/A	50.3
		10	20		50.0
带状线	FR4 ($\epsilon_R=4.5$)	12	3.7	N/A	50.0
共面波导	Prepreg ($\epsilon_R=3.8$)	6	14	20	49.7

由此，我们最终可以计算出经修正后的线宽、间距和介质厚度，通过调整它们的组合，可以实现大约 50 Ω 的特性阻抗。然后 PCB 制造商将根据此信息调整 PCB 堆叠结构以满足特性阻抗的要求。有时，由于 PCB 板材类型和加工因

素的限制，PCB 设计人员需要与 PCB 加工厂提前沟通协调，对布局布线参数进行微调以满足 PCB 加工需要。

下图 5-6 显示了一种实际应用的 RF 前端 PCB 布局案例，RF 信号线从芯片引脚端子引出后经过匹配网络直接连通到陶瓷天线的馈电点，连接到底部参考接地平面的接地过孔带均匀分布于 RF 传输线两侧，而两个 Π 型匹配网络分别靠近射频芯片和天线放置，中间留有为调试测试预留的 RF 连接器。

图 5-6: 一种 RF 前端 PCB 布局示例



部分

6

结语

本文档从射频概念和理论、射频前端和相关电源的原理图设计、射频 PCB 布局布线考虑等方面描述了如何基于 Apollo Blue 系列 SoC 实现性能良好符合要求的射频硬件设计，并给出了一些 RF 相关元件选择的参考和说明。建议尽可能参考本指南来设计基于 Apollo Blue SoC 的产品中的 RF 相关硬件电路。



© 2024 Ambiq Micro, Inc. 版权所有。

6500 River Place Boulevard, Building 7, Suite 200, Austin, TX 78730

www.ambiq.com

sales_china@ambiq.com

+1 (512) 879-2850

A-SOCAPG-DGGA01CN A4 v1.0

2024 年 4 月