

设计指南

Apollo BLE SoC 阻抗匹配设计指南

超低功耗 Apollo SoC 系列
A-SOCAPG-DGGA01CN A4 v1.0



Legal Information and Disclaimers

AMBIQ MICRO INTENDS FOR THE CONTENT CONTAINED IN THE DOCUMENT TO BE ACCURATE AND RELIABLE. THIS CONTENT MAY, HOWEVER, CONTAIN TECHNICAL INACCURACIES, TYPOGRAPHICAL ERRORS OR OTHER MISTAKES. AMBIQ MICRO MAY MAKE CORRECTIONS OR OTHER CHANGES TO THIS CONTENT AT ANY TIME. AMBIQ MICRO AND ITS SUPPLIERS RESERVE THE RIGHT TO MAKE CORRECTIONS, MODIFICATIONS, ENHANCEMENTS, IMPROVEMENTS AND OTHER CHANGES TO ITS PRODUCTS, PROGRAMS AND SERVICES AT ANY TIME OR TO DISCONTINUE ANY PRODUCTS, PROGRAMS, OR SERVICES WITHOUT NOTICE.

THE CONTENT IN THIS DOCUMENT IS PROVIDED "AS IS". AMBIQ MICRO AND ITS RESPECTIVE SUPPLIERS MAKE NO REPRESENTATIONS ABOUT THE SUITABILITY OF THIS CONTENT FOR ANY PURPOSE AND DISCLAIM ALL WARRANTIES AND CONDITIONS WITH REGARD TO THIS CONTENT, INCLUDING BUT NOT LIMITED TO, ALL IMPLIED WARRANTIES AND CONDITIONS OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, TITLE AND NON-INFRINGEMENT OF ANY THIRD PARTY INTELLECTUAL PROPERTY RIGHT.

AMBIQ MICRO DOES NOT WARRANT OR REPRESENT THAT ANY LICENSE, EITHER EXPRESS OR IMPLIED, IS GRANTED UNDER ANY PATENT RIGHT, COPYRIGHT, MASK WORK RIGHT, OR OTHER INTELLECTUAL PROPERTY RIGHT OF AMBIQ MICRO COVERING OR RELATING TO THIS CONTENT OR ANY COMBINATION, MACHINE, OR PROCESS TO WHICH THIS CONTENT RELATE OR WITH WHICH THIS CONTENT MAY BE USED.

USE OF THE INFORMATION IN THIS DOCUMENT MAY REQUIRE A LICENSE FROM A THIRD PARTY UNDER THE PATENTS OR OTHER INTELLECTUAL PROPERTY OF THAT THIRD PARTY, OR A LICENSE FROM AMBIQ MICRO UNDER THE PATENTS OR OTHER INTELLECTUAL PROPERTY OF AMBIQ MICRO.

INFORMATION IN THIS DOCUMENT IS PROVIDED SOLELY TO ENABLE SYSTEM AND SOFTWARE IMPLEMENTERS TO USE AMBIQ MICRO PRODUCTS. THERE ARE NO EXPRESS OR IMPLIED COPYRIGHT LICENSES GRANTED HEREUNDER TO DESIGN OR FABRICATE ANY INTEGRATED CIRCUITS OR INTEGRATED CIRCUITS BASED ON THE INFORMATION IN THIS DOCUMENT. AMBIQ MICRO RESERVES THE RIGHT TO MAKE CHANGES WITHOUT FURTHER NOTICE TO ANY PRODUCTS HEREIN. AMBIQ MICRO MAKES NO WARRANTY, REPRESENTATION OR GUARANTEE REGARDING THE SUITABILITY OF ITS PRODUCTS FOR ANY PARTICULAR PURPOSE, NOR DOES AMBIQ MICRO ASSUME ANY LIABILITY ARISING OUT OF THE APPLICATION OR USE OF ANY PRODUCT OR CIRCUIT, AND SPECIFICALLY DISCLAIMS ANY AND ALL LIABILITY, INCLUDING WITHOUT LIMITATION CONSEQUENTIAL OR INCIDENTAL DAMAGES. "TYPICAL" PARAMETERS WHICH MAY BE PROVIDED IN AMBIQ MICRO DATA SHEETS AND/OR SPECIFICATIONS CAN AND DO VARY IN DIFFERENT APPLICATIONS AND ACTUAL PERFORMANCE MAY VARY OVER TIME. ALL OPERATING PARAMETERS, INCLUDING "TYPICALS" MUST BE VALIDATED FOR EACH CUSTOMER APPLICATION BY CUSTOMER'S TECHNICAL EXPERTS. AMBIQ MICRO DOES NOT CONVEY ANY LICENSE UNDER NEITHER ITS PATENT RIGHTS NOR THE RIGHTS OF OTHERS. AMBIQ MICRO PRODUCTS ARE NOT DESIGNED, INTENDED, OR AUTHORIZED FOR USE AS COMPONENTS IN SYSTEMS INTENDED FOR SURGICAL IMPLANT INTO THE BODY, OR OTHER APPLICATIONS INTENDED TO SUPPORT OR SUSTAIN LIFE, OR FOR ANY OTHER APPLICATION IN WHICH THE FAILURE OF THE AMBIQ MICRO PRODUCT COULD CREATE A SITUATION WHERE PERSONAL INJURY OR DEATH MAY OCCUR. SHOULD BUYER PURCHASE OR USE AMBIQ MICRO PRODUCTS FOR ANY SUCH UNINTENDED OR UNAUTHORIZED APPLICATION, BUYER SHALL INDEMNIFY AND HOLD AMBIQ MICRO AND ITS OFFICERS, EMPLOYEES, SUBSIDIARIES, AFFILIATES, AND DISTRIBUTORS HARMLESS AGAINST ALL CLAIMS, COSTS, DAMAGES, AND EXPENSES, AND REASONABLE ATTORNEY FEES ARISING OUT OF, DIRECTLY OR INDIRECTLY, ANY CLAIM OF PERSONAL INJURY OR DEATH ASSOCIATED WITH SUCH UNINTENDED OR UNAUTHORIZED USE, EVEN IF SUCH CLAIM ALLEGES THAT AMBIQ MICRO WAS NEGLIGENT REGARDING THE DESIGN OR MANUFACTURE OF THE PART.

修订记录

校订	日期	描述
1.0	May 2, 2024	Initial release

参考文件

这些参考文件可以在 Ambiq 网站和 / 或内容门户上访问。

文档 ID	描述

* 指示使用文档的最新版本。

目录

1. 引言	6
2. 阻抗匹配网络	7
2.1 二元件匹配网络	7
2.2 三元件匹配网络	8
2.3 多元件匹配网络	9
3. 史密斯圆图基础	10
3.1 反射系数	10
3.2 电压驻波比	11
3.3 散射参数	12
3.4 史密斯圆图	14
4. 阻抗匹配步骤	16
4.1 网络分析仪的校准	16
4.2 测量芯片的原始输出阻抗	18
4.3 基于史密斯圆图的匹配设计	21
4.4 利用网分验证和调谐匹配参数	25
5. 结语	30

图表一览表

图 2-1 二元件阻抗匹配网络拓扑结构	7
图 2-2 L 型匹配网络的低通配置形态	8
图 2-3 三元件阻抗匹配网络拓扑结构	9
图 2-4 三元件匹配网络的低通配置形态	9
图 3-1 计算反射系数的简单电路示意图	11
图 3-2 二端口网络的 S 参数定义	12
图 3-3 包含阻抗圆和导纳圆的复合史密斯圆图	14
图 3-4 串联或并联电感、电容后的阻抗变化方向示意	15
图 4-1 网分单端口校准示意图	17
图 4-2 网分双端口直通校准示意图	17
图 4-3 Apollo Blue EVB 使用的 RF 测试线缆	18
图 4-4 网分端口延伸示意图	18
图 4-5 芯片 RF 前端的拓扑结构和网分连接示意图	19
图 4-6 使用网分测量芯片的原始输出阻抗	20
图 4-7 网分显示的芯片原始阻抗测量结果 Analyzer	20
图 4-8 简化的二端口匹配网络示意图	21
图 4-9 在史密斯圆图工具上标记原始阻抗点	22
图 4-10 由理想元件构成的 L 型低通匹配网络	23
图 4-11 T-Type Low-Pass Matching with Ideal LC Components	24
图 4-12 Π 型低通匹配网络解决方案	24
图 4-13 电容的实际等效模型和频响特性	25
图 4-14 电感的实际等效模型和频响特性	26
图 4-15 用于计算 PCB 寄生参数的共面波导模型	27
图 4-16 简化的 T 型匹配电路原理图	27
图 4-17 按照仿真结果测得的初始阻抗和 S11 参数	28
图 4-18 修正后的 T 型匹配电路原理图	28
图 4-19 考虑寄生效应后测得的阻抗和 S11 参数	29

部分

1

引言

阻抗匹配可以定义为一种阻抗变换，将实际的端口输入/输出阻抗转换为另一个标称阻抗值，在射频和微波应用中该标称阻抗通常定义为 $50\ \Omega$ 特性阻抗。阻抗匹配对于无线电系统实现最优的射频性能非常重要，它不仅可以最大限度地减少 RF 信号反射和最大化发射功率传递，而且还可以起到滤波作用抑制诸如谐波之类的带外信号并提高整个系统的信噪比。本设计指南介绍了如何使用史密斯圆图工具和矢量网络分析仪为 Apollo Blue 系列 Bluetooth Low Energy SoC 设计阻抗匹配电路并对其进行调试。

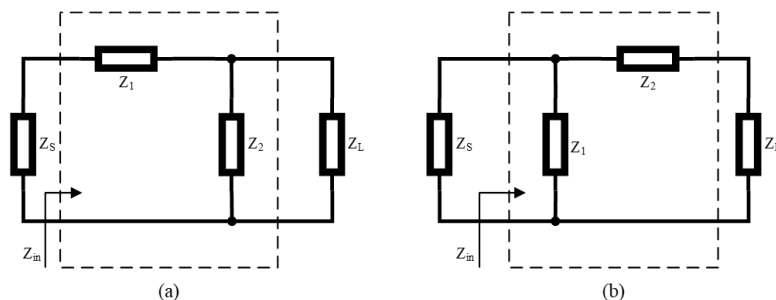
阻抗匹配网络

在射频和微波电路中实现阻抗匹配的方式有很多种，例如采用 LC 集总参数匹配网络、分布式微带线匹配网络以及分立式 LC 和微带线混合型匹配网络类型。本文后续内容将主要介绍在支持 2.4GHz ISM 频段蓝牙技术的无线终端产品中经常使用到的分立式 LC 元件匹配网络拓扑和阻抗匹配方法。

2.1 二元件匹配网络

二元件匹配网络是最简单的匹配网络拓扑结构，可以轻易加入到 RF 电路中完成阻抗匹配。LC 匹配元件在布置上采用串联或并联连接，形成“L”形结构，即所谓的“倒 L 型网络”或“反 L 型网络”。二元件匹配网络仅需使用两个电抗元件 (Z_1 、 Z_2) 将负载阻抗 (Z_L) 转换为所需的输入阻抗 (Z_{in})。低插入损耗是 L 型匹配网络优于其他类型匹配网络的主要优点。图 2-1 展示了 L 型匹配网络的两种拓扑方式，分别由一个串联组件和另一个并联组件组成， Z_1 和 Z_2 可以放置为电容或电感。

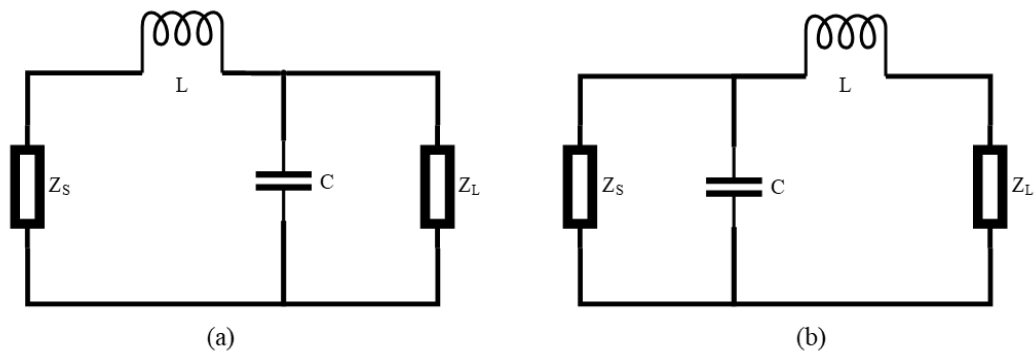
图 2-1: 二元件阻抗匹配网络拓扑结构



其中，上图中的 Z_S 和 Z_L 分别表示源阻抗和负载阻抗。阻抗匹配的意思是指：如果源阻抗 Z_S 为纯电阻，则上述 L 型匹配网络的输入阻抗 Z_{in} 需要与源阻抗 Z_S 相等；如果源阻抗 Z_S 为复阻抗，则上述 L 型匹配网络的输入阻抗 Z_{in} 需要与源阻抗 Z_S 共轭。

根据上图中在 Z1 和 Z2 位置放置电感和电容的不同组合方式，L 型匹配网络能够形成八种可能的配置方式。并且，按照电感、电容不同的放置位置，其频率响应可以分为低通、高通或带通形式。低通形态是实际应用中用最广泛的 L 型匹配网络解决方案，因为它们除了实现自身的阻抗变换功能外，还可以起到抑制高频谐波、噪声和其他带外干扰的作用。图 2-2 所示是低通 L 型匹配网络的两种形态，由串联电感和并联电容构成低通滤波电路。

图 2-2: L 型匹配网络的低通配置形态

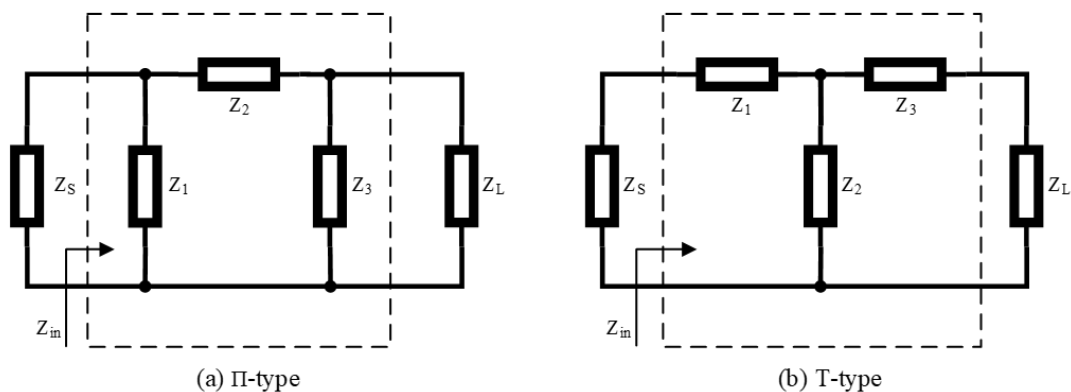


2.2 三元件匹配网络

在射频电路设计概念中，Q 值（品质因数）非常重要，它反映了匹配网络的带宽，即由匹配电路所构建的滤波网络的带宽。但遗憾的是，在已知的源阻抗和负载阻抗条件下，L 型匹配网络的 Q 值永远是固定不变的，它仅由所选择的用于阻抗匹配的电感值或电容值决定，不能针对特定的应用进行灵活地选择或改变。因此，为了获得选择 Q 值的自由度并从而调节匹配电路的带宽，往往需要在匹配网络中引入第三个元件。三元件阻抗匹配网络在调节 Q 值方面提供了更大的灵活性，这是二元件阻抗匹配网络所不具备的功能。如图 2-3 所示，根据电抗元件不同的排列方式，三元件匹配网络又可细分为两种类型：

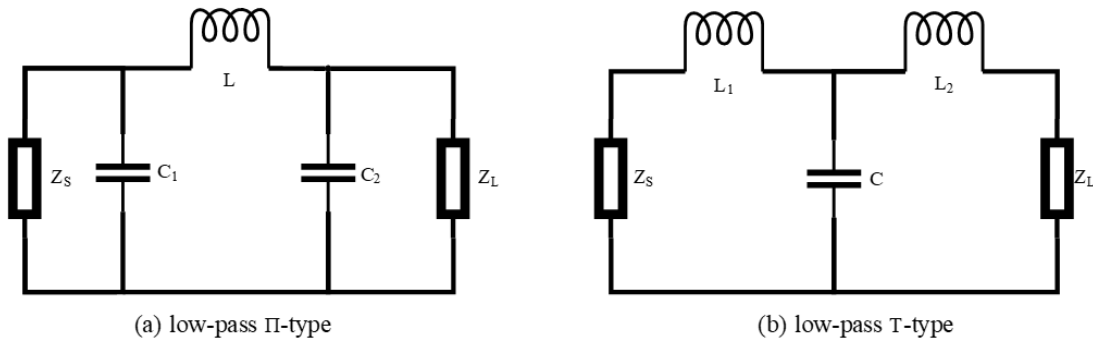
1. Π 型匹配结构，由一个串联元件和两个并联元件组成，按希腊字母 Π 的方式排列；
2. T 型匹配结构，由一个并联元件和两个串联元件组成，按英文字母 T 的形式排布。

图 2-3: 三元件阻抗匹配网络拓扑结构



Π 型和 T 型匹配网络按照电感、电容的不同组合方式也分别有八种配置形态。同样，这两种匹配网络的低通电路形态由于它们带来的附加效益而成为实际应用中最为广泛的配置。如图 2-4 所示，串联位放置电感、并联位放置电容将构成低通滤波网络。

图 2-4: 三元件匹配网络的低通配置形态



2.3 多元件匹配网络

当系统应用需要产品端支持足够高的发射输出功率（如达到+10dBm或以上）的同时，将谐波抑制到较低的水平以满足无线电监管需求，使用四个或以上电抗元件构建的多元件匹配网络将会派上用场。一般情况下，多元件匹配网络可以看作是级联的 L 型匹配网络或者是 L 型与 Π 型或 T 型匹配网络的结合。因为匹配网络用到的电抗元件越多，所对应生成的滤波网络的阶数便会越高，因此它们可以提供良好的带外杂散和谐波抑制能力。然而，多元件匹配网络的缺点是会在通带中引入更高的插入损耗，并且会使得阻抗匹配和调谐过程变得更加复杂。因此，对于多元件匹配网络此处不再详述，因为它们很少在基于蓝牙的消费类终端产品中使用。

部分

3

史密斯圆图基础

为了设计合适的 LC 阻抗匹配网络，通常有两种主要方法可供使用：以传统的数学方法计算和求解准确的匹配元件值；或使用史密斯圆图作为图形化设计工具。数学方法是传统方法，可以产生精确的结果，但即使对于简单的 L 型匹配网络也需要非常复杂的数学运算。而史密斯圆图方法更为直观，也更容易验证，并且可以很快地获得预期的匹配电路设计结果，因为它不需要复杂的数学运算。

因此，现在我们基本上都使用史密斯圆图来快速且相对精确地设计匹配电路。史密斯圆图的吸引力在于其设计过程与匹配网络中所用组件的数量无关，复杂性随着组件数量的增加也几乎保持不变。此外，通过观察史密斯圆图上的阻抗变换轨迹，我们可以看到当各个电路元件加入匹配网络后，它们如何影响并满足特定的匹配条件。匹配元件类型的选择和赋值中的任何错误都会立即被观察到，并且工程师可以直接干预对其进行修正。借助 CAD 工具，电感或电容的参数选择及其元件值分配可以立即显示在史密斯圆图中¹。

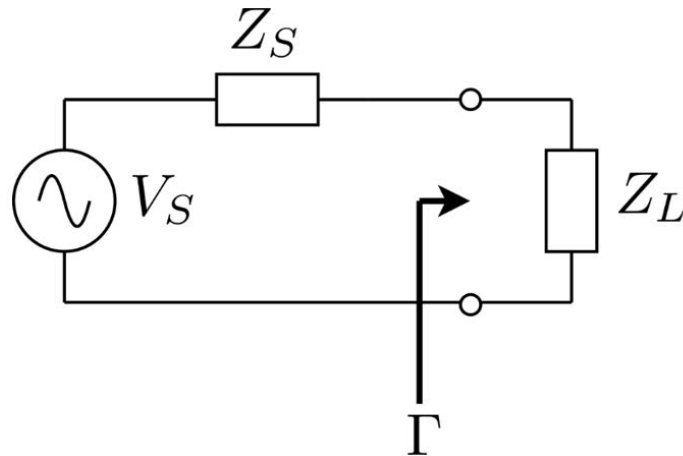
3.1 反射系数

在电磁场和传输线理论中，反射系数通常用于表示电磁波在传输过程中因传输线的阻抗不连续性导致的反射现象，它等于反射电磁波的振幅与入射电磁波的振幅之比。我们用下图所示的简单等效电路来说明如何计算反射系数，该等效电路包含一个内部阻抗为 Z_S 的信号源，然后连接一段特性阻抗为 Z_0 的传输线，最后驱动一个阻抗为 Z_L 的负载²。

¹ <https://drive.google.com/file/d/1KytKPX0f7uzMQYm7cPSILfMTxwpmwpw7/view?pli=1iew?usp=sharing&pli=1>

² https://en.wikipedia.org/wiki/Reflection_coefficient

图 3-1: 计算反射系数的简单电路示意图



反射系数 Γ 由传输线末端的负载阻抗和传输线的特性阻抗决定。如上图所示，当负载阻抗 Z_L 端接特性阻抗为 Z_0 的传输线时，反射系数的计算公式为

$$\Gamma = \frac{V^-}{V^+} = \frac{Z_L - Z_0}{Z_L + Z_0}$$

其中，

- V^+ : 入射电压波;
- V^- : 反射电压波;
- Z_L : 负载阻抗;
- Z_0 : 传输线特性阻抗，在射频系统中通常为 50Ω 。

3.2 电压驻波比

驻波比 (SWR) 定义为传输线上驻留电磁波的最大电压 (或电流) 与最小电压 (或电流) 的比值，并且仅由反射系数 Γ 的大小决定，其计算公式如下³

$$SWR = \frac{|V_{max}|}{|V_{min}|} = \frac{|I_{max}|}{|I_{min}|} = \frac{1 + |\Gamma|}{1 - |\Gamma|}$$

上述计算假定使用 Z_0 作为特性阻抗计算发射系数 Γ ，由于 SWR 的计算仅使用到 Γ 的幅值，因此可以忽略负载阻抗 Z_L 的具体值，而仅需要关注由 Z_L 产生的阻抗失配的幅值。无论沿着传输线 (朝向负载方向) 任意一点测量，SWR 的大小都保持不变，因为将传输线长度添加到负载 Z_L 之前只会改变反射系数 Γ 的相位，而不会改变它的幅度。虽然 SWR 与 Γ 具有一一对应的关系，但无线电系统中主要用 SWR 来衡量网络输入输出端口的失配程度，很少看到

³ https://en.wikipedia.org/wiki/Reflection_coefficient

直接用反射系数表示。SWR 通常在传输线的源端进行测量，但如上所述，这与其在负载端比如在天线端口处测量的值其实完全一致。

SWR 的取值范围为： $1 \leq \text{SWR} < +\infty$ ，在大多数场合下，我们使用 VSWR

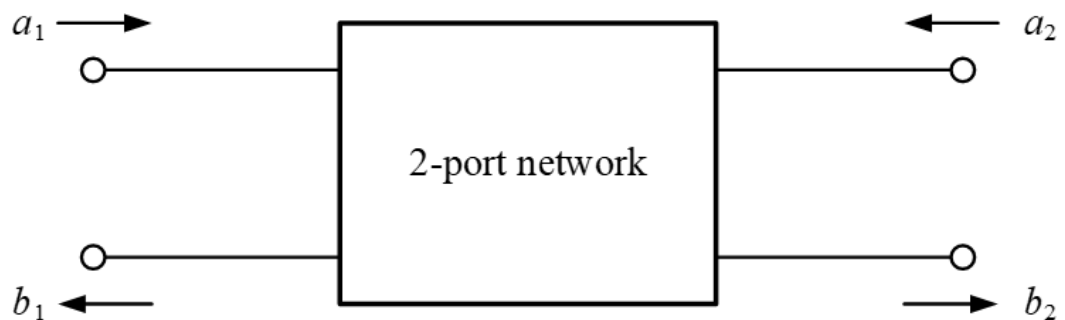
（电压驻波比）来代替 SWR，表示为最大绝对电压值与其最小值的比值。负载完全匹配端接的理想情况下 $\text{VSWR} = 1$ ，而开路或短路负载条件下的最坏情况会导致 $\text{VSWR} \rightarrow \infty$ 。

严格意义上，VSWR 只能应用于理想的无损耗传输线，因为不可能为有损耗传输线定义驻波比，这是因为对于有损耗传输线，电压波或电流波的幅度会随着传输距离的增加而减小。但对于大多数源端和负载端匹配的低损耗射频系统，可以使用 VSWR 进行近似分析。

3.3 散射参数

S 参数（“S”代表散射）在射频与微波系统中起着非常重要的作用。借助 S 参数，我们可以将所有 RF 组件模型表征为 n 端口网络，而不需要满足无法实现的端接条件。S 参数用于描述功率波，允许我们根据入射功率波和反射功率波定义多端口网络的输入输出关系。如图 3-2 所示，对于二端口网络，我们归一化入射功率波为 a_n ，归一化反射功率波为 b_n ，其中下标 n 表示端口号 1 或 2⁴。

图 3-2: 二端口网络的 S 参数定义



根据上图所示约定的方向，我们可以使用简单的二阶矩阵乘法将 S 参数表示如下：

$$\begin{Bmatrix} b_1 \\ b_2 \end{Bmatrix} = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \begin{Bmatrix} a_1 \\ a_2 \end{Bmatrix}$$

⁴ https://en.wikipedia.org/wiki/Scattering_parameters

其中各项的含义为

$$S_{11} = \frac{b_1}{a_1} \Big|_{a_2=0} \equiv \frac{1 \text{ 端口反射功率波}}{1 \text{ 端口入射功率波}}$$

$$S_{21} = \frac{b_2}{a_1} \Big|_{a_2=0} \equiv \frac{2 \text{ 端口传输功率波}}{1 \text{ 端口入射功率波}}$$

$$S_{22} = \frac{b_2}{a_2} \Big|_{a_1=0} \equiv \frac{2 \text{ 端口反射功率波}}{2 \text{ 端口入射功率波}}$$

$$S_{12} = \frac{b_1}{a_2} \Big|_{a_1=0} \equiv \frac{1 \text{ 端口传输功率波}}{2 \text{ 端口入射功率波}}$$

需要注意的是， $a_2 = 0$ 和 $a_1 = 0$ 的条件意味着在端口 2 和端口 1 处都没有功率波返回到网络。然而，这个条件只有在输出或输入端口与特性阻抗为 Z_0 的传输线匹配时才成立。

因此，根据上面的表达式，我们可以很容易地推导出 S 参数的物理意义。 S_{11} 等于端口 2 匹配条件下端口 1 处的输入反射系数，其表示为

$$S_{11} = \Gamma_{in} = \frac{Z_{in} - Z_0}{Z_{in} + Z_0}$$

端口 1 的 VSWR 也可以根据 S_{11} 重写如下：

$$VSWR = \frac{1 + |S_{11}|}{1 - |S_{11}|}$$

在工程应用中我们通常用回波损耗来表示端口的功率失配程度，端口 1 处的回波损耗 (dB) 可以通过对 S_{11} 的模取对数来表示

$$RL(dB) = 10 \log |S_{11}|^2 = 20 \log |S_{11}|$$

类似地， S_{22} 描述了在端口 1 匹配条件下，端口 2 处的输出反射系数和功率失配程度。

S_{21} 的物理意义是正向传输增益（从端口 1 到端口 2），而 S_{12} 是反向传输增益或反向隔离度（从端口 2 到端口 1）。对于无源 LC 匹配或滤波网络， S_{21} 是指匹配或滤波网络本身的插入损耗。另外， S_{12} 通常用于表示两个端口的隔离度，其常出现在隔离器、环行器、双工器等射频微波器件中。

3.4 史密斯圆图

如图 3-3所示，史密斯圆图可以同时显示多个参量，包括阻抗 Z 、导纳 Y 、反射系数 Γ 、驻波比 $VSWR$ 、品质因数 Q 等，射频系统中最常用的特性阻抗 Z_0 是50欧姆。

在阻抗匹配过程中经常会用到的两个圆是：

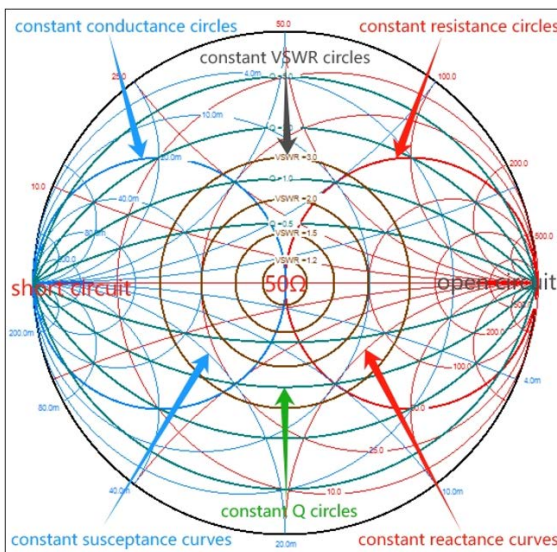
1. 归一化阻抗 $z=1$ 表示的等电阻圆，其中 $z=Z/Z_0$
2. 归一化导纳 $y=1$ 表示的等电导圆，其中 $y=1/z$

此外，还需要关注史密斯圆图上的三个重要节点：

1. 开路点： $\Gamma=1, z \rightarrow \infty$ ，位于圆图中间轴的最右侧
2. 短路点： $\Gamma=-1, z=0$ ，位于圆图中间轴的最左侧
3. 匹配点： $\Gamma=0, z=1$ ，位于圆图正中心

史密斯圆图的上半圆为感性区，因为它对应于复阻抗的正虚部；而下半部分为容性区，因为它对应于复阻抗的负虚部。

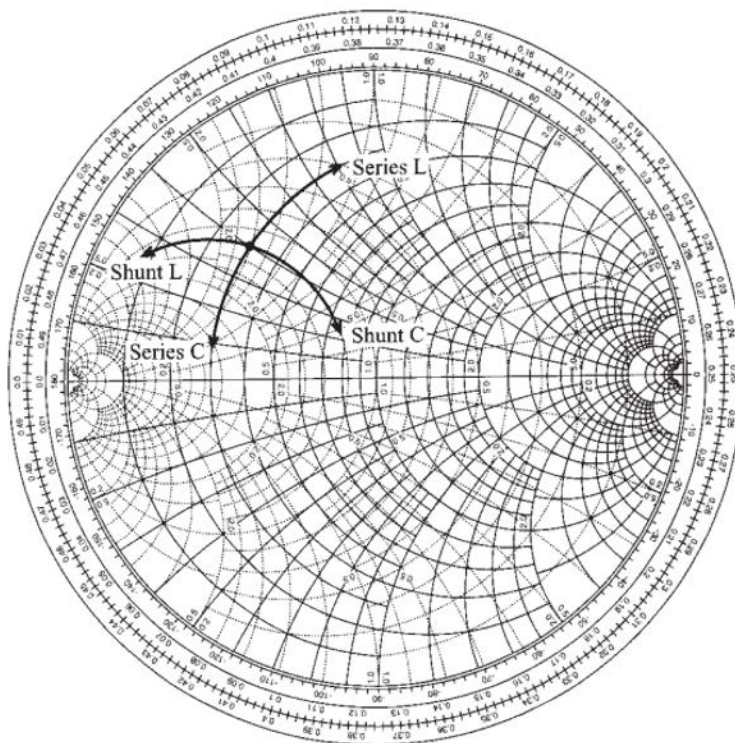
图 3-3: 包含阻抗圆和导纳圆的复合史密斯圆图



在史密斯圆图中串联或并联电抗元件的运动轨迹如图 3-4所示：串联电抗元件将导致圆图上的相应阻抗点沿等电阻圆移动，而并联电抗元件将导致圆图上的相应导纳点沿等电导圆移动。具体来讲，可以用以下四句话简短概括：

- 串联电感会使得阻抗点沿等电阻圆顺时针方向移动；
- 串联电容会使得阻抗点沿等电阻圆逆时针方向移动；
- 并联电感会使得导纳点沿等电导圆逆时针方向移动；
- 并联电容会使得导纳点沿等电导圆顺时针方向移动。

图 3-4: 串联或并联电感、电容后的阻抗变化方向示意



确定了将单个电感或电容元件连接到负载后的变化轨迹后，我们现在可以开发合适的多元件匹配网络，执行从任何负载阻抗到任何指定输入阻抗的变换。一般来说，在复合史密斯圆图中设计 L 型、 Π 型或 T 型匹配网络，其基本操作都是将阻抗或导纳点沿着等电阻圆或等电导圆移动^{5,6}。

⁵ https://en.wikipedia.org/wiki/Smith_chart

⁶ <https://drive.google.com/file/d/1KytKPX0f7uzMQYm7cPSILfMTxwpmwpw7/view?pli=1iew?usp=sharing&pli=1>

部分

4

阻抗匹配步骤

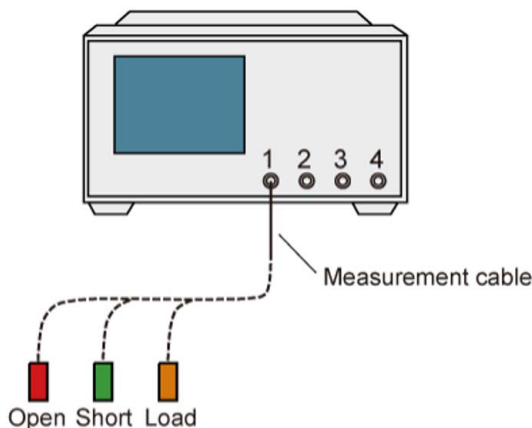
本章节将介绍如何为 Apollo Blue 系列 Bluetooth Low Energy SoC 设计适用的阻抗匹配网络将其匹配到50 Ω 。一般来说，整个阻抗匹配和调谐过程包括以下基本步骤：

1. 对网络分析仪进行校准。
2. 测量板载 BLE 芯片的原始输出阻抗。
3. 在史密斯圆图工具上标记该原始阻抗，并按照阻抗变化规律使用理想的无损电感器和电容器创建初始匹配网络。
4. 将对应的电感、电容放置到板上并使用网分验证仿真结果并反复调整LC元件值使实际量测的阻抗收敛到50 Ω 中心点附近。
5. 使用信号分析仪或蓝牙测试仪进行射频测试以检查RF性能是否达到最佳状态。

4.1 网络分析仪的校准

校准又称为系统误差校正，是消除测量结果中系统性、可重复性误差的过程。例如，连接网络分析仪测试端口和待测设备之间的测量电缆将引入电磁波的幅度衰减和相移。这两种效应都会影响 S 参数测量的准确性。

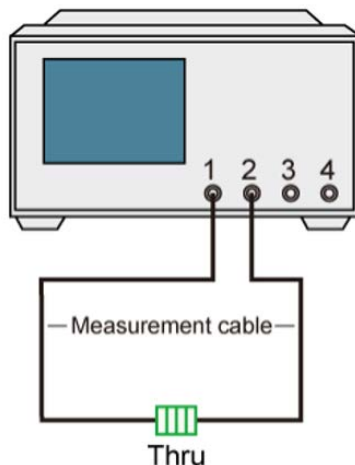
图 4-1: 网分单端口校准示意图



因此，我们需要使用校准套件来校准测量电缆，即将 50 欧姆参考平面从分析仪的测试端口移至用于连接待测设备的测量电缆末端。对于图 4-1 所示的单端口校准，我们需要分别测量测试端口 1 处的开路/短路/负载标准的校准数据，这些操作称为反射 S 参数校准。

对于双端口校准，除了对两个测试端口分别执行单独的反射开路/短路/负载校准之外，还需要多执行一项传输 S 参数校准，即在两条 RF 测量电缆之间连接直通校准件，如下图 4-2 所示。

图 4-2: 网分双端口直通校准示意图



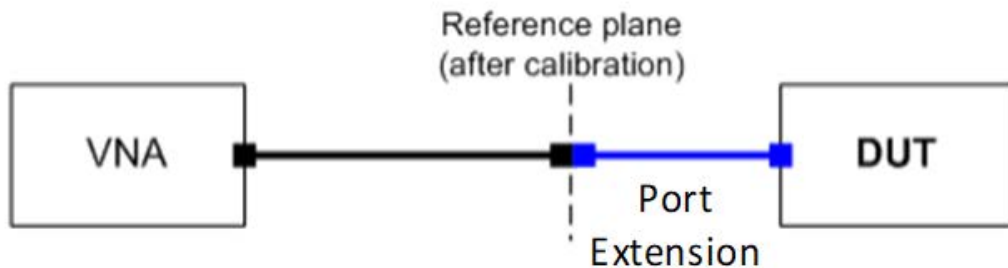
此外，在校准完成后还经常会用到另一个重要的功能，即端口延伸。为什么需要端口延伸？这是因为大多数网络分析仪的校准套件只能匹配一些标准的射频连接器类型，如 N 型或 SMA 型。然而，在大多数情况下，我们在实际设计中所使用的射频连接器和测试线缆可能是其他一些类型，无法将它们直接与校准套件连接。如下图 4 3 所示为 Apollo Blue 系列 EVB 上使用的射频电缆，它便无法连接到网分的校准套件，因此在这种情况下需要进行端口延伸。

图 4-3: Apollo Blue EVB 使用的 RF 测试线缆



如图 4-4所示，校准后我们将参考面移动到黑色电缆末端，但同时还有另一条蓝色电缆用于连接待测设备，因此需要执行端口延伸来补偿校准参考面与待测设备之间的电气延迟和电缆损耗，并将校准参考面移至蓝色电缆末端，即待测设备的测试端口处。

图 4-4: 网分端口延伸示意图



关于具体的网分校准和端口延伸步骤，请参阅各对应网络分析仪厂商提供的用户手册，此处不再详述^{7,8}。

4.2 测量芯片的原始输出阻抗

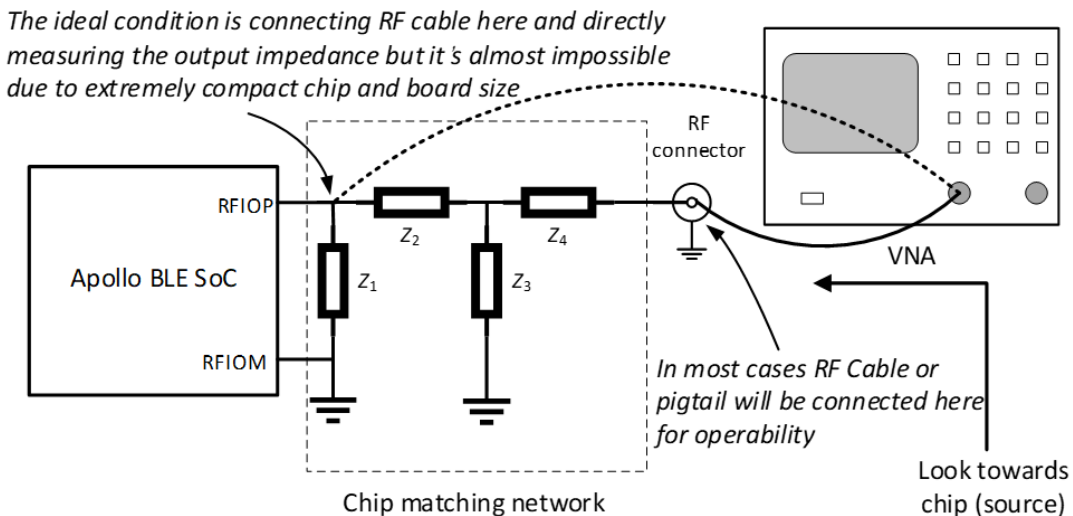
经过校准和端口延伸后，我们可以通过将 DUT 的测试端口连接到网络分析仪的测试端口来测量 DUT 的复阻抗和 S 参数。在本节及后续章节中，我们将以 Apollo4 Blue EB 板为例来说明如何测量芯片输出阻抗、创建匹配网络以及进行调谐。

正如另一篇技术文档《Apollo Bluetooth Low Energy SoC 射频硬件设计指南》中所述，实际应用中推荐的射频前端电路拓扑如下图 4-5所示，注意这里删除了天线匹配电路部分，因为我们这里只讨论如何为 RFIC 芯片本身设计和调试阻抗匹配电路。

⁷ <https://www.keysight.com/us/en/lib/resources/help-files/help-file--user-manual-for-e5071c-ena-network-analyzer-operation-and-programming-1659862.html>

⁸ https://www.rohde-schwarz.com.cn/manual/r-s-znc-znd-manuals_78701-29339.html

图 4-5: 芯片 RF 前端的拓扑结构和网分连接示意图

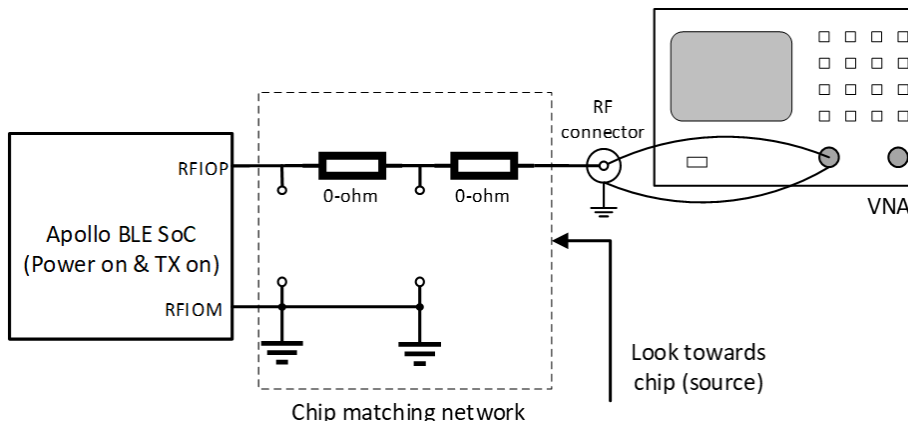


F为了测量 Apollo Blue 系列 Bluetooth Low Energy SoC 的原始输出阻抗，我们需要首先给 DUT 上电并将其设置为发射模式。该模式是指 DUT 内部所有发射器相关模块都已上电，即芯片内部的发射路径打开，这可以通过在 DTM 模式下发送相应的 HCI 命令来完成配置。

如图 4-5 所示的射频前端拓扑，我们使用两个并联元件 Z_1 、 Z_3 加两个串联元件 Z_2 、 Z_4 来设计集总参数 LC 匹配网络。测量 RFIC 输出阻抗的最佳位置是将测量电缆或铜管连接至离芯片 RFIO 管脚最近的地方，因为这样可以最大限度地减少电路板寄生参数的影响，并带来相对精确的测量结果。然而，在实际应用中往往会因为过小的元件封装和十分紧凑的 PCB 电路板设计，我们很难在最靠近芯片 RFIO 管脚的地方进行测量操作。因此，我们通常将射频电缆或铜管连接到位于芯片匹配网络和天线匹配网络之间预留的射频连接器处。然后，首先将并联位置的元件 Z_1 和 Z_3 断开，再用 0 欧姆电阻放于串联位置的元件 Z_2 和 Z_4 处。经过这些操作后，芯片前端的匹配电路将变为如下图 4-6 所示。

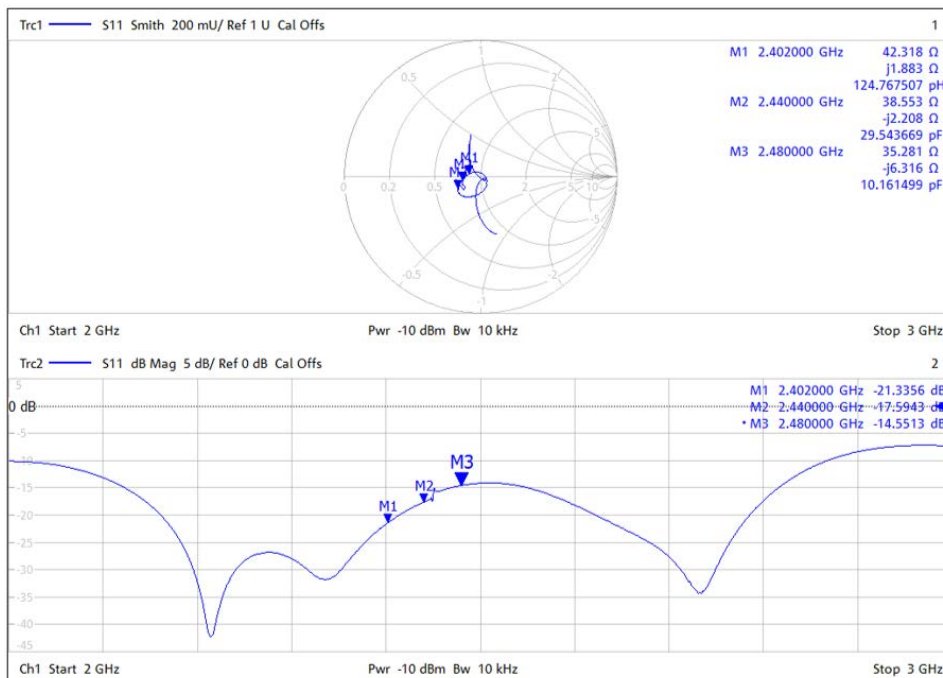
接下来，我们执行网分的单端口反射 S 参数校准和端口延伸，然后通过专用测量电缆将 DUT 连接到网分。

图 4-6: 使用网分测量芯片的原始输出阻抗



建议将网络分析仪的频率扫描范围设置得比蓝牙2402~2480 MHz的工作频段更宽，这里设置为从2 GHz开始，到3 GHz结束。然后在网分的设置窗口添加三个标记点，分别代表低信道2.402 GHz、中信道2.44 GHz和高信道2.48 GHz。再选择两条迹线和窗口分别显示史密斯圆图和 S_{11} (以 dB 为单位) 响应曲线。如图 4-7 所示，最终测得的芯片复数输出阻抗及其 S_{11} 参数将显示在 VNA 屏幕上。我们可以看到，芯片的原始输出阻抗接近为纯电阻并靠近史密斯圆图的中心原点，即 50Ω 匹配点。

图 4-7: 网分显示的芯片原始阻抗测量结果 Analyzer

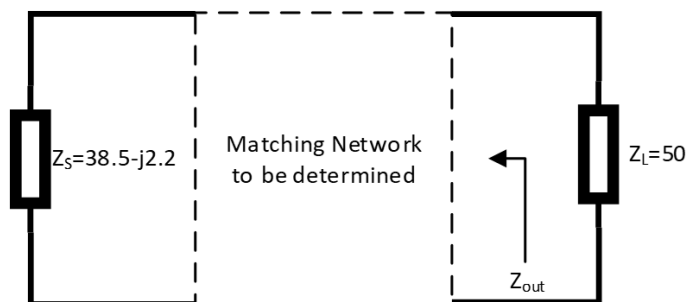


需要注意的是，PCB 走线和0 欧姆电阻本身都会引入寄生电感和电容，因此我们在 RF 连接器处测量的芯片输出阻抗可能与实际情况（即 RFIO 管脚端的阻抗）略有偏差。但这些影响因素将会在之后的匹配和调谐过程中加以改善。

4.3 基于史密斯圆图的匹配设计

根据图 4-7 所示的实际测量值，我们可以将射频前端电路进行简化，并用二端口网络的方式表示如图 4-8 所示。源阻抗 Z_S 等于芯片在中心频率 2.44 GHz 处测得的输出阻抗，负载阻抗 Z_L 代表 50 Ω 特性阻抗，即天线匹配网络的输入阻抗。现在我们需要设计合适的匹配网络，将源阻抗 Z_S 转换为所需的负载阻抗 Z_L 。这意味着在插入二端口匹配网络后的输出阻抗 Z_{out} 应等于 50 Ω 。

图 4-8: 简化的二端口匹配网络示意图



然后将我们测得的低、中、高三个频点的阻抗值标记为史密斯圆图工具上的数据点 DP1、DP2 和 DP3，如图 4-9 所示。由于工具限制只能以单个频点的阻抗进行阻抗变换，我们选择用中间频点 2.44GHz 的原始阻抗值来创建匹配网络，因为在添加匹配元件后，低频点和高频点的另外两个数据点将随着中间频点一起变化和移动⁹。

⁹ <http://www.fritz.dellsperger.net/smith.html>

图 4-9: 在史密斯圆图工具上标记原始阻抗点

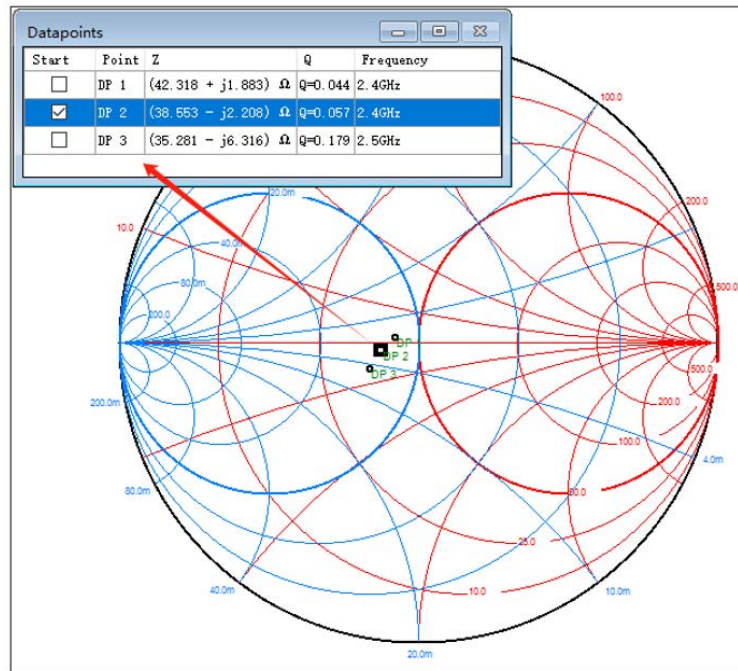
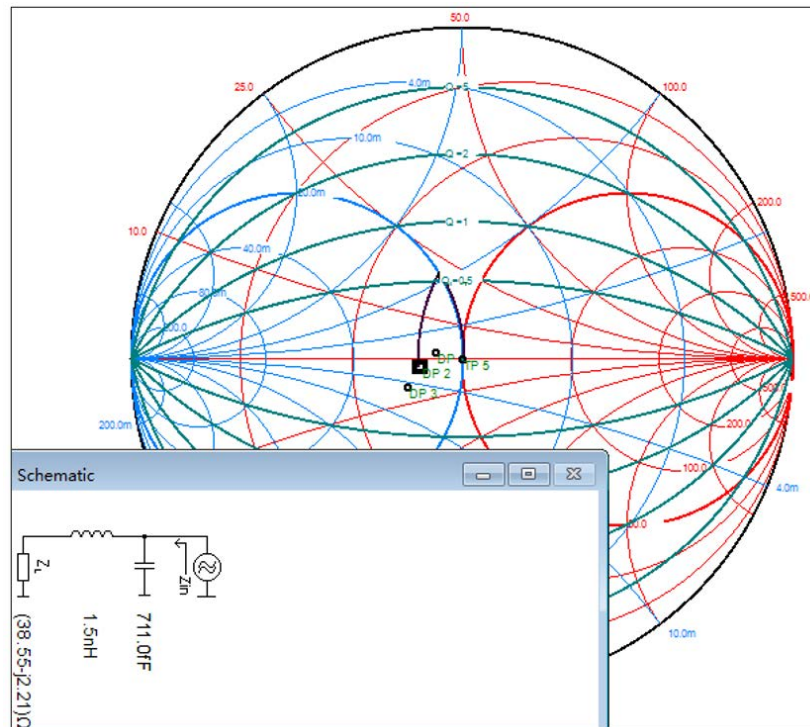


图 4-8 所示的匹配网络显示输入端的源阻抗 $Z_S = \sim 38.5 - j2.2 \Omega$ ，而输出端由 50Ω 输入阻抗的天线匹配网络端接。回顾之前提到的在史密斯圆图上添加电抗组件后的阻抗移动和变化规律，我们可以选择用二元件匹配网络来创建低通或高通形态的匹配网络。

由串联 1.5 nH 电感和并联 0.7 pF 电容组成的低通匹配方案如图 4-10 所示。第一个串联电感将阻抗点绕等电阻圆顺时针移动，并停留在与 $y=1$ 的等电导圆相交的 TP4 位置；然后第二个并联电容再将阻抗点 TP4 沿 $y=1$ 等电导圆顺时针移动，直到到达中心原点附近的 TP5 位置。电感、电容的元件值将由阻抗点移动路径的长短确定并显示在对应生成的匹配电路原理图中。需要注意的是，通过计算出的电容和电感值是理论值，在工程中可能不存在（例如，下图所示的 710 fF 电容），因此在实际中将用最接近的元件来替换它们。

图 4-10: 由理想元件构成的 L 型低通匹配网络



上图中标记的 Z_L 表示芯片的输出阻抗， Z_{in} 表示我们期望达到的匹配阻抗，即 50 欧姆。正如前面所讲的，虽然二元件匹配网络构建起来非常简单，但网络的 Q 值是固定的且无法改变。如图 4-10 所示，该 L 型匹配电路的 Q 值只能达到 ~ 0.5 （在史密斯圆图工具中同时显示等 Q 线），这意味着该低通匹配电路将具有相当大的带宽和较差的谐波抑制。

因此，我们强烈推荐使用三元件匹配拓扑结构来调节和改善匹配网络的 Q 值。适用于本例子的低通 T 型和 Π 型匹配网络在史密斯圆图工具上分别如图 4-11 和图 4-12 所示。T 型匹配网络使用 2 个串联电感和 1 个并联电容，而 Π 型匹配网络使用 2 个并联电容和 1 个串联电感。如下两图所示，T 型网络中的数据点 TP4 和 Π 型网络中的数据点 TP5 分别与 $Q=1$ 的等 Q 线相交，这意味着所设计的两匹配网络 Q 值约等于 1。

图 4-11: T-Type Low-Pass Matching with Ideal LC Components

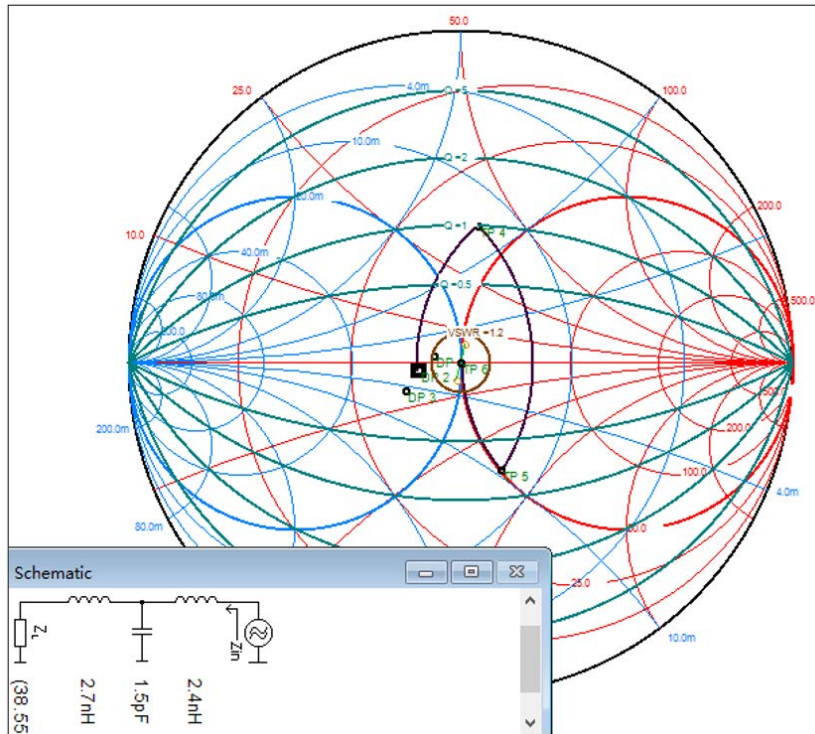
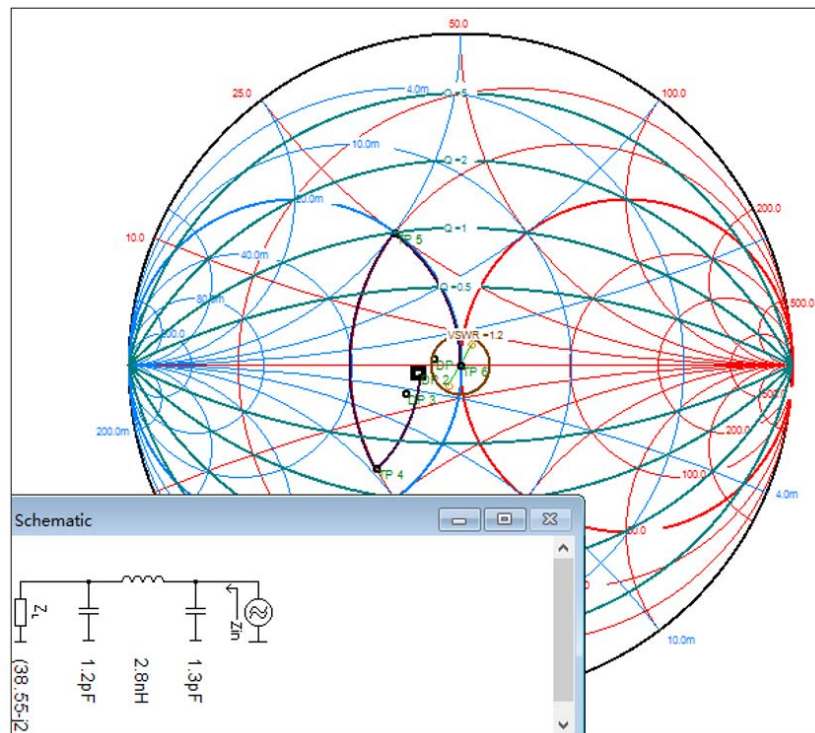


图 4-12: Π 型低通匹配网络解决方案



对于支持蓝牙功能的设备，阻抗匹配不能只针对单一频点执行，而需要考虑 2.4 GHz 至 2.5 GHz 整个工作频率范围。因此，我们需要使用数据点频率扫描功能来检查与低、中、高三个频点相关的所有三个匹配阻抗点是否足够收敛

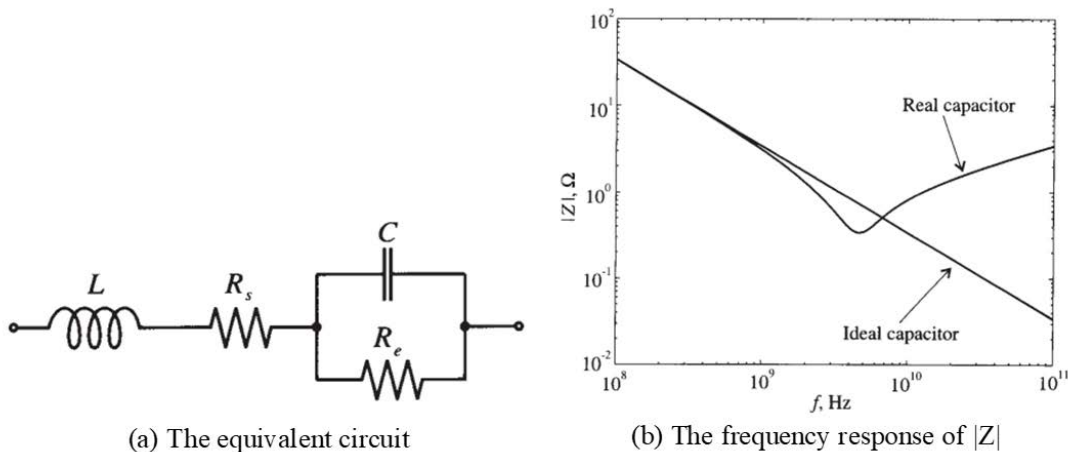
并且足够靠近中心原点。本例中我们在史密斯圆图工具上打开等 VSWR 圆的显示功能，经过扫频后发现三个匹配阻抗点均落在 $VSWR=1.2$ 的圆内，这表明所设计的匹配网络适用于宽带匹配。

4.4 利用网分验证和调谐匹配参数

理想无源器件构建的匹配网络已经在史密斯圆图工具上设计完成，现在我们需要使用网络分析仪来验证其实际性能。为什么需要网分的验证？原因一是大量仿真元件值在工程中无法获得，必须用工程中可用的近似元件值代替；另一个原因是，由于非理想的无源元件本身产生的寄生参数和 PCB 布局因素，即使我们使用与仿真生成值相同的无源元件，实际情况也可能与仿真结果有很大出入。

如图 4-13 所示，高频电容的等效模型除了自身的标称电容量 C 外，还包括一个寄生引线电感 L 、一个表征引线导体损耗的串联电阻 R_s 和一个表征介质损耗的并联电阻 R_e 。其阻抗频率响应曲线表明，只有当工作频率低于某一固定值时，阻抗才接近理想的电容器；而当工作频率超过该固定值时，电容会表现出相反的特性即阻抗随频率升高而增大。该转折点称为自谐振频率（SRF），电容在其 SRF 处具有最小的阻抗值。

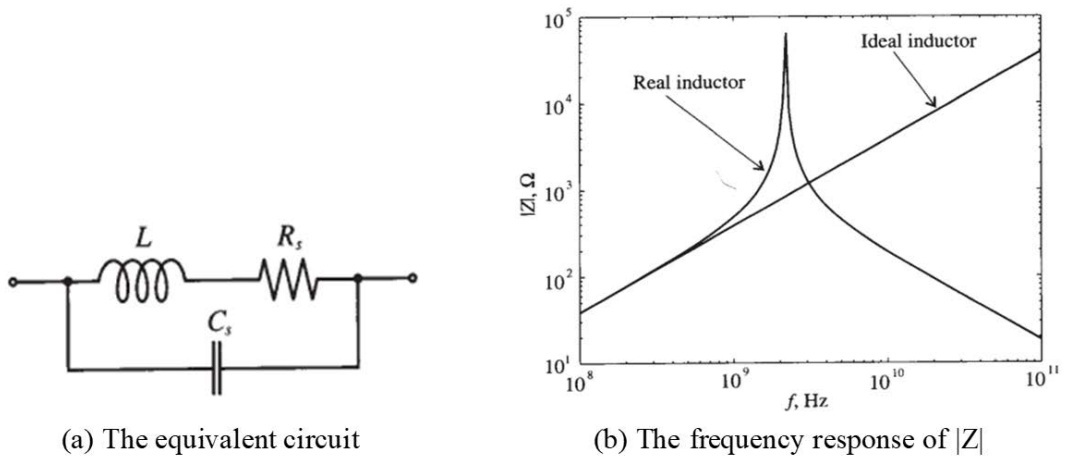
图 4-13: 电容的实际等效模型和频响特性



如图 4-14 所示，高频电感的等效模型包括其自身标称电感量 L 、寄生并联电容 C_s 和串联电阻 R_s ，这两项分别表示分布电容和分布电阻的复合效应。从其阻抗频率响应曲线可以看出，在高频情况下电感器的行为也偏离了理想电感。首先，当工作频率从两侧接近其自谐振频率时，电感器阻抗的变化非常迅速。其次，随着频率继续增加，寄生电容 C_s 的影响将占据主导地位，电感的阻抗下降也将变缓。品质因数 Q 通常用来表征串联电阻的影响，即电感器或电容

器的电阻性损耗。出于阻抗匹配和调谐的目的，Q 值要求尽可能高，换句话说，电阻性损耗需尽可能低。

图 4-14: 电感的实际等效模型和频响特性

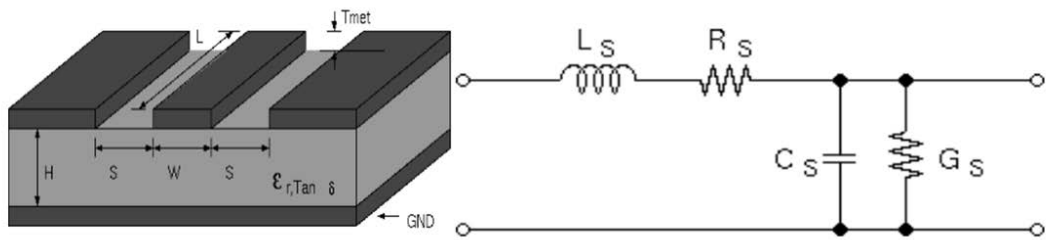


因此，电容和电感的特性会随着工作频率的升高而逐渐恶化。仅当工作频率远低于其 SRF 时，它们才表现为固有的电容或电感，否则当工作频率超过 SRF 时，它们的阻抗将呈现出相反的特性。换句话说，当工作频率超过其 SRF 时，电容器将表现出感性，而电感器将表现出容性。因此，在选择用于射频应用的特定无源元件时，我们必须考虑 SRF 和品质因数 Q 的影响。对于适用于阻抗匹配的贴片电容和电感的选指南，在另一篇应用笔记《Apollo Bluetooth Low Energy SoC 射频硬件设计指南》中给出了一些参考。

除了无源 LC 元件自身的寄生效应外，PCB 布局带来的寄生参数对阻抗匹配也有着显著影响，包括 PCB 走线带来的杂散电感，以及 PCB 走线与相邻参考接地层之间的杂散电容。这些 PCB 布局寄生效应通常会导致低通匹配网络中分立式 LC 匹配元件（串联电感和并联电容）的值进一步减小。获得准确的 PCB 寄生参数很困难，可能需要使用专业的 EM 仿真工具对 PCB 进行建模。跟 PCB 走线阻抗控制一样，我们可以使用共面波导计算器来进行 PCB 寄生参数的估计，该计算器根据实际 PCB 设计参数计算单位并联杂散电容和串联杂散电感等寄生参数。图 4-15 给出了本文末尾的参考文献中提供的此类计算器的一个示例。根据详细的 PCB 布局参数，我们可以粗略地估算出杂散电感、杂散电容等各种寄生参数值¹⁰。

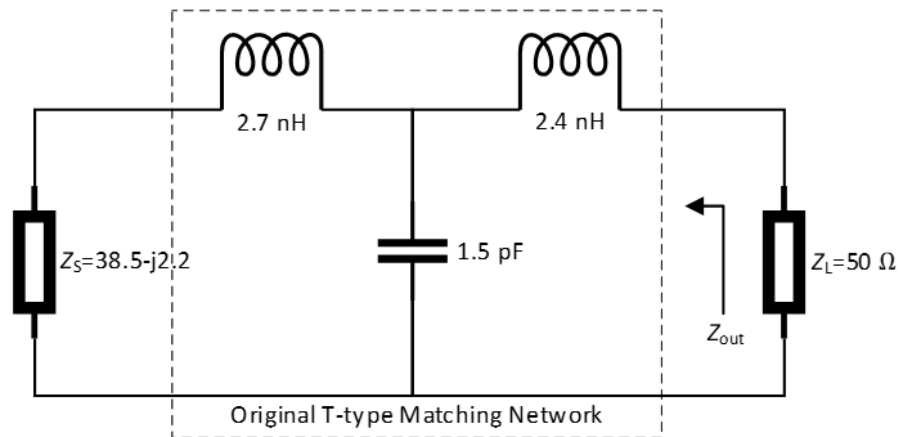
¹⁰ <https://wcalc.sourceforge.net/cgi-bin/coplanar.cgi>

图 4-15: 用于计算 PCB 寄生参数的共面波导模型



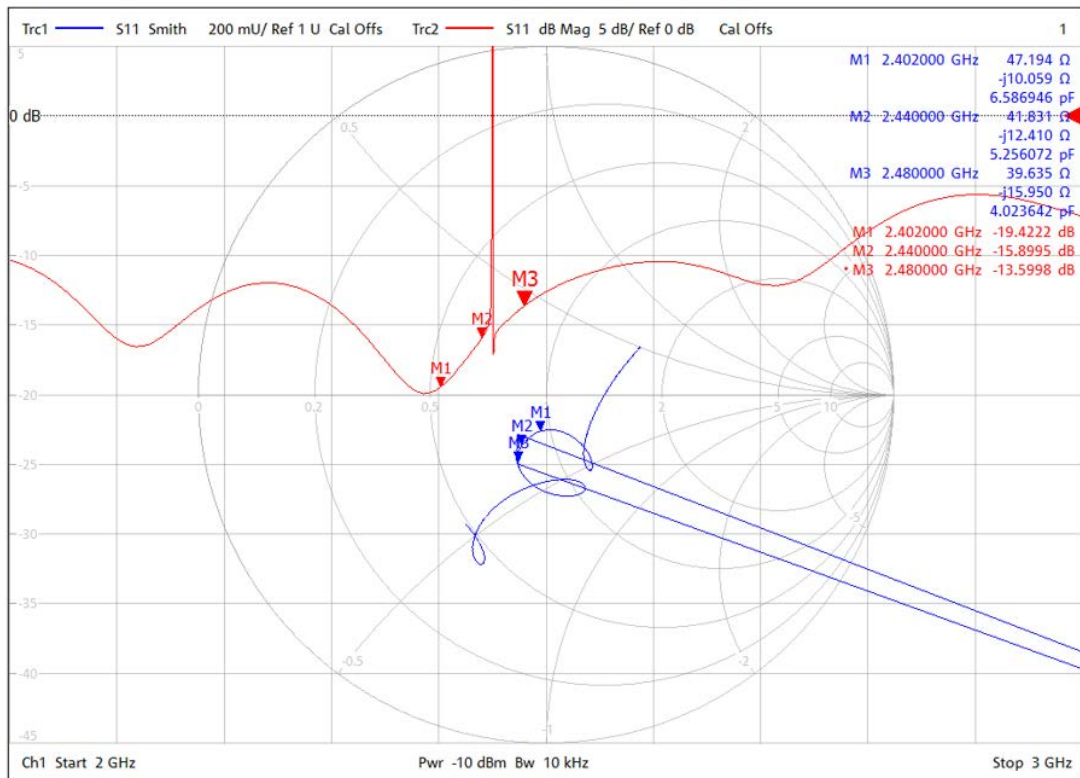
根据前述通过在史密斯圆图中移动阻抗点得到的理论集总元件，我们将对应元件值的实际电感和电容安装到要验证的 PCB 板上，并重新绘制 RF 前端匹配电路的简化原理图如下图 4-16 所示。下面我们使用低通 T 型匹配网络作为示例，并将其连接到网络分析仪以验证其行为是否符合我们的预期。

图 4-16: 简化的 T 型匹配电路原理图



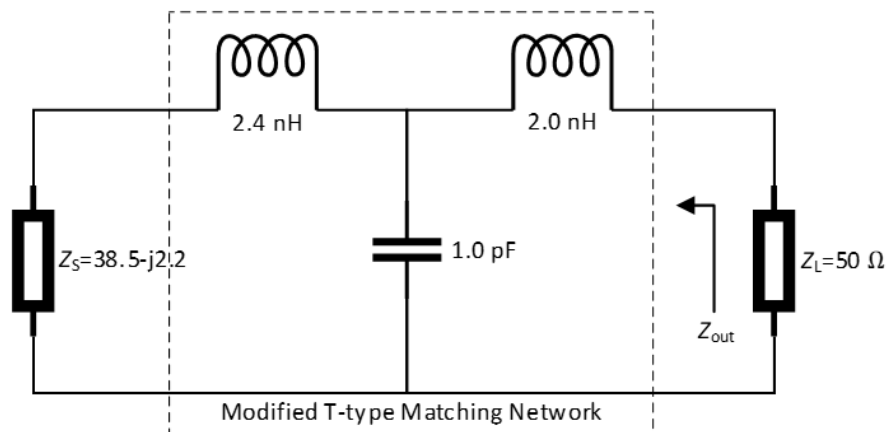
网络分析仪在这里充当 50 欧姆负载，并向芯片侧看过去来测量该 T 型匹配网络的输出阻抗 Z_{out} 。最后测得的史密斯圆图阻抗和 S_{11} 参数如下图 4-17 所示。正如所看到的，由于 PCB 布局布线和分立 LC 匹配元件自身寄生参数的影响，该匹配网络出现一定程度的失谐，没有完全收敛到中心原点 50 Ω 附近，它偏离了仿真预期的理想情况。因此，需要对元件进行微调以消除寄生效应的影响。

图 4-17: 按照仿真结果测得的初始阻抗和 S_{11} 参数



经过实际上板验证，两个串联电感的值分别降至 2.4 nH 和 2.0 nH，并联电容的值降至 1.0 pF，以补偿 PCB 和电感、电容自身的离散寄生参数。这意味着在该示例中，杂散电感带来的影响约为 1 nH，而杂散电容带来的影响约为 0.5 pF。因此，寄生参数并不总是产生负面的影响，相反有时我们可以利用它们。

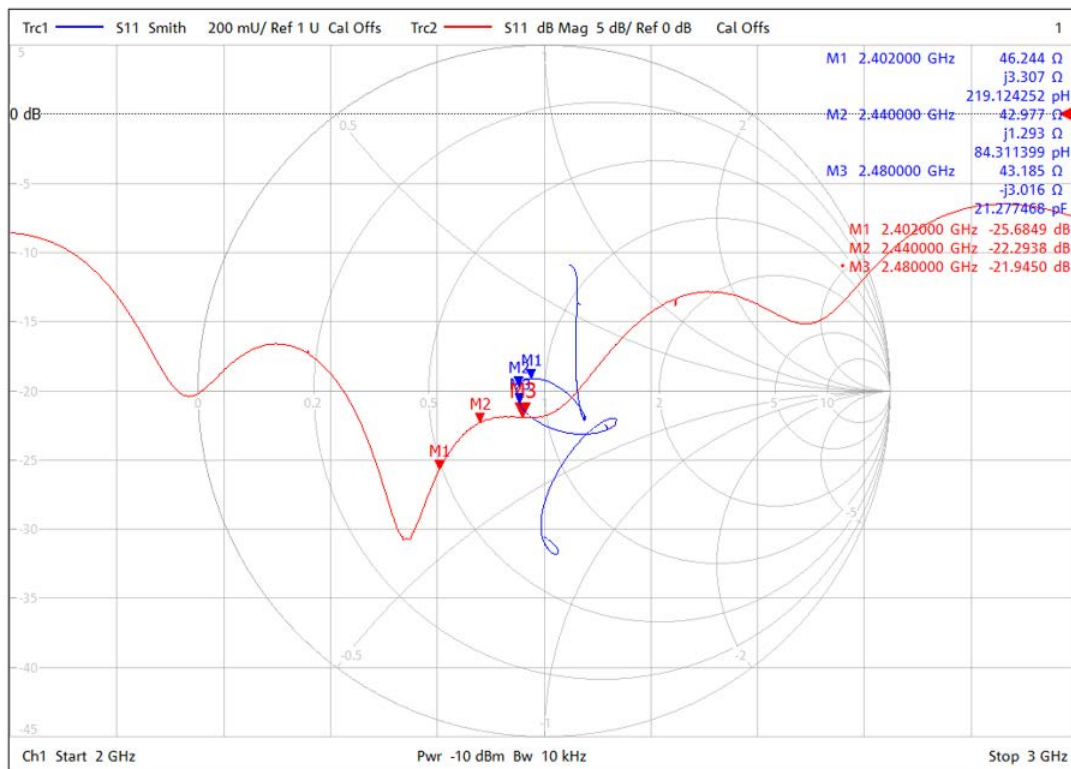
图 4-18: 修正后的 T 型匹配电路原理图



最后，通过修正 LC 元件测量得到的史密斯圆图阻抗和 S_{11} 参数如图 4-19 所示。看起来似乎并不是最完美的匹配，因为 2.4 GHz 工作频带内的阻抗没有完全收敛到中心原点。为什么在考虑寄生效应并调谐后仍然出现这种情况？如

前所述，市面上可供选择的电感或电容其元件值并不连续，并且也存在一定的公差，因此大多数情况下我们只能找到近似解，在实际应用中很难达到完全理想的匹配状态。事实上，使整个频带内的 S_{11} 即回波损耗尽可能地低，例如低于 -20 dB 或者更低，便可以保证足够好的宽带匹配性能。

图 4-19: 考虑寄生效应后测得的阻抗和 S_{11} 参数



部分

5

结语

虽然在工程实践中可能很难实现完美或理想的50欧姆阻抗匹配，但我们有必要设计近似理想的匹配网络，它除了实现阻抗匹配本身的功能之外，还可以在其他许多方面带来益处。测量 RFIC 的精确输出阻抗是成功的第一个关键步骤，因为所有后续匹配和调谐操作都依赖于它。每个射频工程人员都需要掌握射频理论的基础知识，特别是传输线理论，并知道如何利用史密斯圆图来简化阻抗匹配设计过程。

本设计指南直观地描述了如何为 Apollo Blue 系列 SoC 设计最佳集总元件 LC 匹配电路。该文档还介绍了一些射频概念以及匹配的网络设计知识要点，以实现成功的 Apollo Blue 系列 SoC 的射频前端板级设计。此外，本文还提供了应用于基于 Apollo4 Blue EB 板的阻抗匹配示例。然而应该注意的是，该示例仅展示了如何逐步完成阻抗匹配和调谐，不能简单地复制到其他案例中，因为 RF 参数与 PCB 设计强相关，不同的 PCB 布局布线带来的寄生效应是完全不同的。



© 2024 Ambiq Micro, Inc. 版权所有。

6500 River Place Boulevard, Building 7, Suite 200, Austin, TX 78730

www.ambiq.com

sales_china@ambiq.com

+1 (512) 879-2850

A-SOCAPG-DGGA01CN A4 v1.0

2024年5月